

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

015154155 \*\*Image available\*\*

WPI Acc No: 2003-214682/200321

XRAM Acc No: C03-055045

XRPX Acc No: N03-171305

**Wiring for LCD device, has conductive layers with different width, that are laminated in order such that edge portions of conductive layers are tapered**

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Inventor: KUSUYAMA Y; ONO K; SUZAWA H; YAMAZAKI S

Number of Countries: 005 Number of Patents: 005

Patent Family:

| Patent No      | Kind | Date     | Applicat No   | Kind | Date     | Week     |
|----------------|------|----------|---------------|------|----------|----------|
| JP 2002359246  | A    | 20021213 | JP 200289262  | A    | 20020327 | 200321 B |
| CN 1378276     | A    | 20021106 | CN 2002108075 | A    | 20020327 | 200321   |
| KR 2002076188  | A    | 20021009 | KR 200216680  | A    | 20020327 | 200321   |
| US 20030054653 | A1   | 20030320 | US 200299972  | A    | 20020319 | 200323   |
| TW 536781      | A    | 20030611 | TW 2002105779 | A    | 20020325 | 200374   |

Priority Applications (No Type Date): JP 200191192 A 20010327

Patent Details:

| Patent No      | Kind | Lan Pg | Main IPC         | Filing Notes |
|----------------|------|--------|------------------|--------------|
| JP 2002359246  | A    |        | 35 H01L-021/3205 |              |
| CN 1378276     | A    |        | H01L-023/52      |              |
| KR 2002076188  | A    |        | G02F-001/1345    |              |
| US 20030054653 | A1   |        | H01L-021/311     |              |
| TW 536781      | A    |        | H01L-021/768     |              |

**Abstract (Basic):** JP 2002359246 A

NOVELTY - Conductive layers (18b-20b) with different width, are laminated in order, such that edge portions of the conductive layers are tapered.

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are included for the following:

- (1) Wiring production method;
- (2) Wiring board; and
- (3) Wiring board production method.

USE - In wiring board (claimed) used in electro-optical device such as active-matrix type LCD device, active-matrix EC display device and active-matrix type light emitting device used in electronic device such as personal computer, DVD player and CD player.

**ADVANTAGE** - Operating characteristic and reliability of the semiconductor device in the LCD device, are improved.

**DESCRIPTION OF DRAWING(S)** - The figure shows the sectional view of the wiring. (Drawing includes non-English language text).

Conductive layers (18b-20b)

pp; 35 DwgNo 1/22

**Title Terms:** WIRE; LCD; DEVICE; CONDUCTING; LAYER; WIDTH; LAMINATE; ORDER; EDGE; PORTION; CONDUCTING; LAYER; TAPER

**Derwent Class:** L03; P81; T04; U14; W03

**International Patent Class (Main):** G02F-001/1345; H01L-021/311;

H01L-021/3205; H01L-021/768; H01L-023/52

**International Patent Class (Additional):** G02F-001/133; G02F-001/1343;

G02F-001/1368; H01L-021/20; H01L-021/28; H01L-021/60; H01L-023/485;

H01L-029/786; H05K-001/00; H05K-003/46

**File Segment:** CPI; EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

07490728      \*\*Image available\*\*

WIRING AND MANUFACTURING METHOD THEREFOR, AND CIRCUIT  
BOARD AND

MANUFACTURING METHOD THEREFOR

PUB. NO.:      2002-359246 [JP 2002359246 A]

PUBLISHED:      December 13, 2002 (20021213)

INVENTOR(s): YAMAZAKI SHUNPEI

SUZAWA HIDEOMI

ONO KOJI

KUSUYAMA YOSHIHIRO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.:      2002-089262 [JP 200289262]

FILED:      March 27, 2002 (20020327)

PRIORITY:      2001-091192 [JP 200191192], JP (Japan), March 27, 2001  
(20010327)

INTL CLASS:      H01L-021/3205; G02F-001/1343; G02F-001/1368; H01L-021/20;  
H01L-021/28; H01L-029/786

#### ABSTRACT

PROBLEM TO BE SOLVED: To provide a wiring capable of dealing with the increase in the area of a pixel part by using a material having a low resistance and to provide a circuit board.

SOLUTION: The wiring comprises a laminated structure of a first conductive layer, having a first width and made of an alloy containing one type or a plurality of types of elements, selected from the group consisting of W and Mo or containing the elements as the main component or a compound as a first layer, a second conductive layer having a second width narrower than the first width, having a low resistance and made of an alloy containing Al as the main component or a compound as a second layer, and a third conductive layer having a third width narrower than the second width and containing Ti as the main component or a compound as a third layer. With the thus constitution, the wiring can fully deal with the increase in the area of the pixel part. A sectional shape of the end of at least the second conductive layer is set as a tapered shape. By forming it into such a shape, coverage can be made proper.

COPYRIGHT: (C)2003,JPO

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号  
**特開2002-359246**  
(P 2 0 0 2 - 3 5 9 2 4 6 A)  
(43) 公開日 平成14年12月13日 (2002. 12. 13)

|                            |      |             |             |
|----------------------------|------|-------------|-------------|
| (51) Int. Cl. <sup>7</sup> | 識別記号 | F I         | テ-マコード (参考) |
| H01L 21/3205               |      | G02F 1/1343 |             |
| G02F 1/1343                |      | 1/1368      |             |
| 1/1368                     |      | H01L 21/20  |             |
| H01L 21/20                 |      | 21/28       | 301 R       |
| 21/28                      | 301  | 21/88       | A           |

審査請求 未請求 請求項の数29 O L (全35頁) 最終頁に続く

(21) 出願番号 特願2002-89262 (P 2002-89262)

(22) 出願日 平成14年3月27日 (2002. 3. 27)

(31) 優先権主張番号 特願2001-91192 (P2001-91192)

(32) 優先日 平成13年3月27日 (2001. 3. 27)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平  
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 須沢 英臣  
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 小野 幸治  
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

最終頁に続く

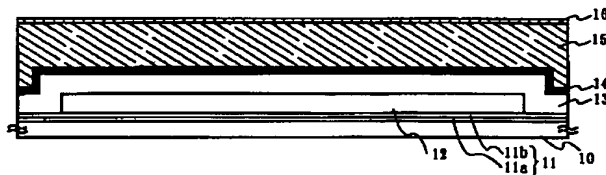
(54) 【発明の名称】 配線およびその作製方法、並びに配線基板およびその作製方法

## (57) 【要約】

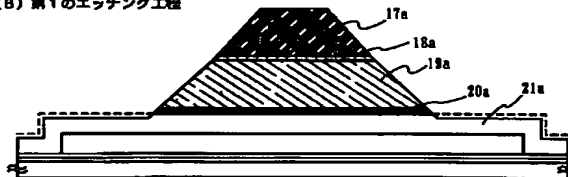
【課題】 低抵抗な材料を用いることにより、画素部の大面積化に対応し得る配線並びに配線基板を提供することを目的とする。

【解決手段】 本発明における配線は、第1の幅を有し、かつ、WまたはMoから選ばれた一種または複数種の元素、または前記元素を主成分とする合金若しくは化合物からなる第1の導電層を第1層とし、前記第1の幅より狭い第2の幅を有し、かつ、Alを主成分とする合金若しくは化合物からなる低抵抗な第2の導電層を第2層とし、前記第2の幅より狭い第3の幅を有し、かつ、Tiを主成分とする合金若しくは化合物からなる第3の導電層を第3層とする積層構造であるとする。このような構成にすることで、画素部の大面積化に十分対応でき得る。また、少なくとも第2の導電層の端部における断面形状はテーパ形状であるとする。このような形状にすることで、カバレッジを良好なものとすることができ得る。

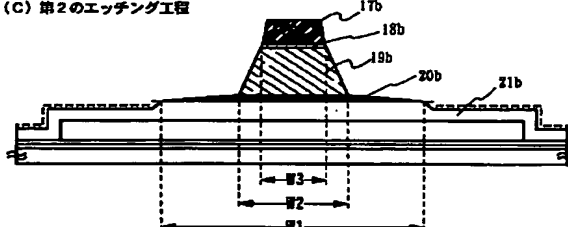
(A) 半導体層の形成/絶縁膜の形成/第1の導電膜と第2の導電膜と第3の導電膜の形成



(B) 第1のエッチング工程



(C) 第2のエッチング工程



## 【特許請求の範囲】

【請求項 1】 第 1 の幅を有する第 1 の導電層を第 1 層とし、前記第 1 の幅より狭い第 2 の幅を有する第 2 の導電層を第 2 層とし、前記第 2 の幅より狭い第 3 の幅を有する第 3 の導電層を第 3 層とする積層構造であり、前記第 1 の導電層または前記第 2 の導電層または前記第 3 の導電層の端部における断面形状は、テーパ形状であることを特徴とする配線。

【請求項 2】 請求項 1 において、前記第 1 の導電層は、W または Mo から選ばれた一種または複数種の元素、または、W または Mo から選ばれた一種または複数種の元素を主成分とする合金若しくは化合物からなる導電層であることを特徴とする配線。

【請求項 3】 請求項 1 において、前記第 2 の導電層は、Al を主成分とする合金若しくは化合物からなる導電層であることを特徴とする配線。

【請求項 4】 請求項 1 において、前記第 3 の導電層は、Ti を主成分とする合金若しくは化合物からなる導電層であることを特徴とする配線。

【請求項 5】 請求項 1 乃至 4 のいずれか一項において、前記第 2 の導電層は前記第 1 の導電層、前記第 3 の導電層および絶縁膜に覆われており、前記絶縁膜と接する領域は酸化していることを特徴とする配線。

【請求項 6】 請求項 1 乃至 5 のいずれか一項において、前記配線は、液晶表示装置または発光装置の配線であることを特徴とする配線。

【請求項 7】 絶縁表面上に、第 1 の導電層と、第 2 の導電層と、第 3 の導電層の積層からなる第 1 の形状の導電層を形成し、

前記第 1 の導電層、前記第 2 の導電層および前記第 3 の導電層をエッチングして、第 1 の幅を有する第 1 の導電層と、第 2 の幅を有する第 2 の導電層と、第 3 の幅を有する第 3 の導電層との積層からなる第 2 の形状の導電層を形成し、

前記第 2 の幅を有する第 2 の導電層と、前記第 3 の幅を有する第 3 の導電層とをエッチングして、第 4 の幅を有する第 1 の導電層と、第 5 の幅を有する第 2 の導電層と、第 6 の幅を有する第 3 の導電層との積層からなる第 3 の形状の導電層を形成する配線の作製方法であって、前記第 4 の幅を有する第 1 の導電層または前記第 5 の幅を有する第 2 の導電層または前記第 6 の幅を有する第 3 の導電層の端部における断面形状は、テーパ形状であることを特徴とする配線の作製方法。

【請求項 8】 絶縁表面上に、第 1 の導電層と、第 2 の導電層と、第 3 の導電層の積層からなる第 1 の形状の導電層を形成し、

前記第 2 の導電層および前記第 3 の導電層をエッチングして、前記第 1 の導電層と、第 1 の幅を有する第 2 の導電層と、第 2 の幅を有する第 3 の導電層との積層からなる第 2 の形状の導電層を形成し、

前記第 1 の導電層をエッチングして、第 3 の幅を有する第 1 の導電層と、前記第 1 の幅を有する第 2 の導電層と、前記第 2 の幅を有する第 3 の導電層との積層からなる第 3 の形状の導電層を形成し、

前記第 1 の幅を有する第 2 の導電層および前記第 2 の幅を有する第 3 の導電層をエッチングして、第 4 の幅を有する第 1 の導電層と、第 5 の幅を有する第 2 の導電層、第 6 の幅を有する第 3 の導電層との積層からなる第 4 の形状の導電層を形成する配線の作製方法であって、前記第 4 の幅を有する第 1 の導電層または前記第 5 の幅を有する第 2 の導電層または前記第 6 の幅を有する第 3 の導電層の端部における断面形状は、テーパ形状であることを特徴とする配線の作製方法。

【請求項 9】 絶縁表面上に、第 1 の導電層と、第 2 の導電層と、第 3 の導電層の積層からなる第 1 の形状の導電層を形成し、

前記第 1 の導電層、前記第 2 の導電層および前記第 3 の導電層をエッチングして、第 1 の幅を有する第 1 の導電層と、第 2 の幅を有する第 2 の導電層と、第 3 の幅を有する第 3 の導電層との積層からなる第 2 の形状の導電層を形成し、

前記第 2 の幅を有する第 2 の導電層と、前記第 3 の幅を有する第 3 の導電層とをエッチングして、第 4 の幅を有する第 1 の導電層と、第 5 の幅を有する第 2 の導電層と、第 6 の幅を有する第 3 の導電層との積層からなる第 3 の形状の導電層を形成し、

前記第 3 の形状の導電層にプラズマ処理を行う配線の作製方法であって、

前記第 4 の幅を有する第 1 の導電層または前記第 5 の幅を有する第 2 の導電層または前記第 6 の幅を有する第 3 の導電層の端部における断面形状は、テーパ形状であることを特徴とする配線の作製方法。

【請求項 1 0】 絶縁表面上に、第 1 の導電層と、第 2 の導電層と、第 3 の導電層の積層からなる第 1 の形状の導電層を形成し、

前記第 2 の導電層および前記第 3 の導電層をエッチングして、前記第 1 の導電層と、第 1 の幅を有する第 2 の導電層と、第 2 の幅を有する第 3 の導電層との積層からなる第 2 の形状の導電層を形成し、

前記第 1 の導電層をエッチングして、第 3 の幅を有する第 1 の導電層と、前記第 1 の幅を有する第 2 の導電層と、前記第 2 の幅を有する第 3 の導電層との積層からなる第 3 の形状の導電層を形成し、

前記第 1 の幅を有する第 2 の導電層および前記第 2 の幅を有する第 3 の導電層をエッチングして、第 4 の幅を有する第 1 の導電層と、第 5 の幅を有する第 2 の導電層、第 6 の幅を有する第 3 の導電層との積層からなる第 4 の形状の導電層を形成し、前記第 4 の形状の導電層にプラズマ処理を行う配線の作製方法であって、前記第 4 の幅を有する第 1 の導電層または前記第 5 の幅を有する第 2

10

20

30

40

50

の導電層または前記第 6 の幅を有する第 3 の導電層の端部における断面形状は、テーパ形状であることを特徴とする配線の作製方法。

【請求項 11】 請求項 7 乃至 10 のいずれか一項において、前記第 1 の導電層は、W または Mo から選ばれた一種または複数種の元素、または、W または Mo から選ばれた一種または複数種の元素を主成分とする合金若しくは化合物からなる導電層であることを特徴とする配線の作製方法。

【請求項 12】 請求項 7 乃至 10 のいずれか一項において、前記第 2 の導電層は、Al を主成分とする合金若しくは化合物からなる導電層であることを特徴とする配線の作製方法。

【請求項 13】 請求項 7 乃至 10 のいずれか一項において、前記第 3 の導電層は、Ti を主成分とする合金若しくは化合物からなる導電層であることを特徴とする配線の作製方法。

【請求項 14】 請求項 9 または請求項 10 において、前記プラズマ処理は酸素もしくは酸素を主成分とした気体、または H<sub>2</sub>O を用いて行われることを特徴とする配線の作製方法。

【請求項 15】 絶縁基板と、配線とを有する配線基板において、前記配線は、第 1 の幅を有する第 1 の導電層を第 1 層とし、前記第 1 の幅より狭い第 2 の幅を有する第 2 の導電層を第 2 層とし、前記第 2 の幅より狭い第 3 の幅を有する第 3 の導電層を第 3 層とする積層構造であり、前記第 1 の導電層または前記第 2 の導電層または前記第 3 の導電層の端部における断面形状は、テーパ形状であることを特徴とする配線基板。

【請求項 16】 請求項 15 において、前記第 1 の導電層は、W または Mo から選ばれた一種または複数種の元素、または、W または Mo から選ばれた一種または複数種の元素を主成分とする合金材料若しくは化合物材料であることを特徴とする配線基板。

【請求項 17】 請求項 15 において、前記第 2 の導電層は、Al を主成分とする合金材料若しくは化合物材料であることを特徴とする配線基板。

【請求項 18】 請求項 15 において、前記第 3 の導電層は、Ti を主成分とする合金材料若しくは化合物材料であることを特徴とする配線基板。

【請求項 19】 請求項 15 乃至 18 のいずれか一項において、前記第 2 の導電層は前記第 1 の導電層、前記第 3 の導電層および絶縁膜に覆われており、前記絶縁膜と接する領域は酸化していることを特徴とする配線基板。

【請求項 20】 請求項 15 乃至 19 のいずれか一項において、前記配線基板を用いて、液晶表示装置または発光装置が作製されたことを特徴とする配線基板。

【請求項 21】 絶縁表面上に、第 1 の導電層と、第 2 の導電層と、第 3 の導電層の積層からなる第 1 の形状の導電層を形成し、

前記第 1 の導電層、前記第 2 の導電層および前記第 3 の導電層をエッチングして、第 1 の幅を有する第 1 の導電層と、第 2 の幅を有する第 2 の導電層と、第 3 の幅を有する第 3 の導電層との積層からなる第 2 の形状の導電層を形成し、

前記第 2 の幅を有する第 2 の導電層と、前記第 3 の幅を有する第 3 の導電層とをエッチングして、第 4 の幅を有する第 1 の導電層と、第 5 の幅を有する第 2 の導電層と、第 6 の幅を有する第 3 の導電層との積層からなる第 3 の形状の導電層を形成する配線基板の作製方法であって、

前記第 4 の幅を有する第 1 の導電層、または前記第 5 の幅を有する第 2 の導電層、または前記第 6 の幅を有する第 3 の導電層の端部における断面形状は、テーパ形状であることを特徴とする配線基板の作製方法。

【請求項 22】 絶縁表面上に、第 1 の導電層と、第 2 の導電層と、第 3 の導電層の積層からなる第 1 の形状の導電層を形成し、

前記第 2 の導電層および前記第 3 の導電層をエッチングして、前記第 1 の導電層と、第 1 の幅を有する第 2 の導電層と、第 2 の幅を有する第 3 の導電層との積層からなる第 2 の形状の導電層を形成し、

前記第 1 の導電層をエッチングして、第 3 の幅を有する第 1 の導電層と、前記第 1 の幅を有する第 2 の導電層と、前記第 2 の幅を有する第 3 の導電層との積層からなる第 3 の形状の導電層を形成し、

前記第 1 の幅を有する第 2 の導電層および前記第 2 の幅を有する第 3 の導電層をエッチングして、第 4 の幅を有する第 1 の導電層と、第 5 の幅を有する第 2 の導電層、第 6 の幅を有する第 3 の導電層との積層からなる第 4 の形状の導電層を形成する配線基板の作製方法であって、前記第 4 の幅を有する第 1 の導電層、または前記第 5 の幅を有する第 2 の導電層、または前記第 6 の幅を有する第 3 の導電層の端部における断面形状は、テーパ形状であることを特徴とする配線基板の作製方法。

【請求項 23】 絶縁表面上に第 1 の導電層を形成し、前記第 1 の導電膜上に第 2 の導電層を形成し、前記第 2 の導電膜上に第 3 の導電層を形成し、前記第 1 乃至第 3 の導電層にエッチングを行って、テーパ部を有する導電層を形成し、前記テーパ部を有する導電層にプラズマ処理を行うことを特徴とする配線基板の作製方法。

【請求項 24】 絶縁表面上に、第 1 の導電層と、第 2 の導電層と、第 3 の導電層の積層からなる第 1 の形状の導電層を形成し、

前記第 1 の導電層、前記第 2 の導電層および前記第 3 の導電層をエッチングして、第 1 の幅を有する第 1 の導電層と、第 2 の幅を有する第 2 の導電層と、第 3 の幅を有する第 3 の導電層との積層からなる第 2 の形状の導電層を形成し、

前記第 2 の幅を有する第 2 の導電層と、前記第 3 の幅を

有する第 3 の導電層とをエッチングして、第 4 の幅を有する第 1 の導電層と、第 5 の幅を有する第 2 の導電層と、第 6 の幅を有する第 3 の導電層との積層からなる第 3 の形状の導電層を形成し、

前記第 3 の形状の導電層にプラズマ処理を行う配線基板の作製方法であって、

前記第 4 の幅を有する第 1 の導電層、または前記第 5 の幅を有する第 2 の導電層、または前記第 6 の幅を有する第 3 の導電層の端部における断面形状は、テーパ形状であることを特徴とする配線基板の作製方法。

【請求項 2 5】 絶縁表面上に、第 1 の導電層と、第 2 の導電層と、第 3 の導電層の積層からなる第 1 の形状の導電層を形成し、

前記第 2 の導電層および前記第 3 の導電層をエッチングして、前記第 1 の導電層と、第 1 の幅を有する第 2 の導電層と、第 2 の幅を有する第 3 の導電層との積層からなる第 2 の形状の導電層を形成し、

前記第 1 の導電層をエッチングして、第 3 の幅を有する第 1 の導電層と、前記第 1 の幅を有する第 2 の導電層と、前記第 2 の幅を有する第 3 の導電層との積層からなる第 3 の形状の導電層を形成し、

前記第 1 の幅を有する第 2 の導電層および前記第 2 の幅を有する第 3 の導電層をエッチングして、第 4 の幅を有する第 1 の導電層と、第 5 の幅を有する第 2 の導電層、第 6 の幅を有する第 3 の導電層との積層からなる第 4 の形状の導電層を形成し、

前記第 4 の形状の導電層にプラズマ処理を行う配線基板の作製方法であって、

前記第 4 の幅を有する第 1 の導電層、または前記第 5 の幅を有する第 2 の導電層、または前記第 6 の幅を有する第 3 の導電層の端部における断面形状は、テーパ形状であることを特徴とする配線基板の作製方法。

【請求項 2 6】 請求項 2 1 乃至 2 5 のいずれか一項において、前記第 1 の導電層は、W または Mo から選ばれた一種または複数種の元素、または、W または Mo から選ばれた一種または複数種の元素を主成分とする合金材料若しくは化合物材料であることを特徴とする配線基板の作製方法。

【請求項 2 7】 請求項 2 1 乃至 2 5 のいずれか一項において、前記第 2 の導電層は、Al を主成分とする合金材料若しくは化合物材料であることを特徴とする配線基板の作製方法。

【請求項 2 8】 請求項 2 1 乃至 2 5 のいずれか一項において、前記第 3 の導電層は、Ti を主成分とする合金材料若しくは化合物材料であることを特徴とする配線基板の作製方法。

【請求項 2 9】 請求項 2 3 乃至 2 5 のいずれか一項において、前記プラズマ処理は酸素もしくは酸素を主成分とした気体、または H<sub>2</sub>O を用いて行われることを特徴とする配線基板の作製方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、薄膜技術を用いて形成される配線およびその作製方法に関する。また、配線基板およびその作製方法に関する。なお、本明細書中において配線基板とは、薄膜技術を用いて形成される配線を有するガラス等の絶縁基板、あるいは各種基板を指す。

##### 【0002】

10 【従来の技術】近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数〜数百 nm 程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタは IC（Integrated Circuit）や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0003】従来より、画像表示装置として液晶表示装置が知られている。パッシブ型の液晶表示装置に比べ高精細な画像が得られることからアクティブマトリクス型の液晶表示装置が多く用いられるようになってきている。アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【0004】このようなアクティブマトリクス型の液晶表示装置の用途は広がっており、画面サイズの面積化とともに高精細化や高開口率化や高信頼性の要求が高まっている。また、同時に生産性の向上や低コスト化の要求も高まっている。

##### 【0005】

【発明が解決しようとする課題】上記 TFT の配線として Al（アルミニウム）を用いて TFT を作製した場合、熱処理によってヒロックやウイスキー等の突起物の形成や、Al 原子の絶縁膜や活性領域、特にチャネル形成領域への拡散により、TFT の動作不良や TFT の電気的特性の低下を引き起こす場合がある。

40 【0006】そこで、熱処理に耐え得る金属材料（代表的には高い融点を有している金属元素）、例えば、W（タングステン）や Mo（モリブデン）を用いることが考えられる。しかしながら、これらの元素の抵抗率は Al と比較して非常に高い。（表 1）

##### 【0007】

##### 【表 1】

| 配線材料 | 抵抗率 [ $\mu\Omega\text{cm}$ ] |
|------|------------------------------|
| Al   | 2                            |
| W    | 10~20                        |
| Mo   | 15~25                        |

【0008】そのため、画面サイズが大面積化すると、配線遅延が問題になってくる。そこで、配線を太くして抵抗を下げる方法が考えられる。しかしながら、配線の幅を広げると、設計の自由度の低下および画素部における開口率の低下が問題になる。また、配線の膜厚を厚くすると、配線が立体交差する箇所でショートしやすくなったり、配線の段差部でのカバレッジが悪くなる。

【0009】そこで、本発明は、上記の問題を解決し、大画面化に対応でき得る配線およびその作製方法、並びに配線基板およびその作製方法を提供することを課題とする。

【0010】

【課題を解決するための手段】本発明は、配線構造を、第1層として、WまたはMoから選ばれた一種または複数種、または、WまたはMoから選ばれた一種または複数種を主成分とする導電膜を用い、第2層としてAlを主成分とする低抵抗な導電膜を用い、第3層としてTiを主成分とする導電膜を用いた積層構造とすることによって、配線の低抵抗化を図るものである。本発明において、Alを主成分とする低抵抗な導電膜を他の導電膜で挟むことで、熱処理によるヒロックやウイスカー等の突起物の形成を防ぐことができる。また、第1層および第3層が高融点の導電膜であるためバリアメタルとして機能し、Al原子が絶縁膜や活性領域へ拡散することを防ぐことが可能となる。(表2) また、本発明の配線上に絶縁膜を形成し、該配線とのコンタクトを形成する際、第3層が前記絶縁膜のエッチングにおけるストッパーとして機能するため、コンタクト形成が容易になる。また、Alは、透明導電膜として代表的なITO膜と接触すると、電蝕を起こし、コンタクト抵抗値が高くなるが、第3層としてTiを主成分とする導電膜で形成するため、コンタクト抵抗値が良好なものとなる。

【0011】

【表2】

| 配線材料 | 融点 [ $^{\circ}\text{C}$ ] |
|------|---------------------------|
| Al   | 660.4                     |
| W    | 3387                      |
| Mo   | 2610                      |
| Ti   | 1675                      |

【0012】さらに、本発明において、少なくともAlを主成分とする低抵抗な導電膜で形成される第2層の端部はテーパ形状であるとする。テーパ形状とすることで、段差部でのカバレッジが向上する。なお、本明細書においてテーパ角とは、水平面と材料層の側面とがなす角を指している。また、本明細書中では便宜上、テーパ角を有している側面をテーパ形状と呼び、テーパ形状を有している部分をテーパ部と呼ぶ。

【0013】本明細書で開示する発明の構成は、第1の幅を有する第1の導電層を第1層とし、前記第1の幅より狭い第2の幅を有する第2の導電層を第2層とし、前記第2の幅より狭い第3の幅を有する第3の導電層を第3層とする積層構造であり、前記第1の導電層または前記第2の導電層または前記第3の導電層の端部における断面形状は、テーパ形状であることを特徴としている。

【0014】上記構成において、前記配線は、Wを主成分とする合金もしくは化合物からなる導電層(第1層)と、Alを主成分とする合金もしくは化合物からなる導電層(第2層)と、Tiを主成分とする合金もしくは化合物からなる導電層(第3層)との積層構造を有していることを特徴としている。または、前記配線は、Moを主成分とする合金もしくは化合物からなる導電層(第1層)と、Alを主成分とする合金もしくは化合物からなる導電層(第2層)と、Tiを主成分とする合金もしくは化合物からなる導電層(第3層)との積層構造を有していることを特徴としている。例えば、第1層として、W、WN、Mo等を用いることができ、第2層として、Al、Al-Si(2wt%)、Al-Ti(1wt%)、Al-Nd(1wt%)、Al-Sc(0.18wt%)等を用いることができ、第3層として、Ti、TiN等を用いることができる。これらはスパッタ法、プラズマCVD法等によって形成することができる。また、第2層において、Al-Si等を形成するには、Si等の元素がAlに溶けることのできる限界(固溶限)があり、固溶度が高いほど抵抗率も高くなり、耐熱性も変化する。そのため、配線に適した抵抗率や耐熱性、Si等の元素の固溶限との兼ね合いによって、Al中におけるSi等の割合は実施者が適宜決定すればよい。

【0015】表3に、配線を形成する各導電層における抵抗率の例を示す。表3から、Alを主成分とする合金もしくは化合物からなる導電層は他の導電層に比べて非常に低抵抗であることが分かる。

【0016】

【表3】

| 配線材料        |                 | 抵抗率 [ $\mu\Omega\text{cm}$ ] |
|-------------|-----------------|------------------------------|
| Wを主成分とする材料  | W               | 10~20                        |
|             | WN              | 150~220                      |
| Alを主成分とする材料 | Al              | 2                            |
|             | Al-Si (2wt%)    | 3.5~4.5                      |
|             | Al-Ti (1wt%)    | 8~10                         |
|             | Al-Nd (1wt%)    | 7~10                         |
|             | Al-Sc (0.18wt%) | 3.5~4.0                      |
| Tiを主成分とする材料 | Ti              | 50~60                        |
|             | TiN             | 130~200                      |

【0017】耐熱性および導電性を有する第1の導電膜、第2の導電膜および第3の導電膜を高速でかつ精度良くエッチングして、さらに端部をテーパ形状とすることができるのであれば、どのようなエッチング方法でも適用できる。その中でも、特に高密度プラズマを用いたドライエッチング法を適用するのが望ましい。高密度プラズマを得る手法にはマイクロ波、ヘリコン波 (Helicon Wave Plasma: HWP) や誘導結合プラズマ (Inductively Coupled Plasma: ICP) を用いたエッチング装置が適している。例えば、ECR (Electron Cyclotron Resonance) エッチング装置、SWP (Surface Wave Plasma) エッチング装置、ICPエッチング装置、2周波の平行平板励起型エッチング装置などを用いればよい。特に、ICPエッチング装置はプラズマの制御が容易であり、処理基板の大面积化にも対応できる。

【0018】例えば、プラズマ処理を高精度に行うための手段として、高周波電力をインピーダンス整合器を介して複数本の渦巻き状コイル部分が並列に接続されてなるマルチスパイラルコイルに印加してプラズマを形成する方法を用いる。さらに、被処理物を保持する下部電極にも、別途高周波電力を印加してバイアス電圧を付加する構成としている。

【0019】このようなマルチスパイラルコイルを適用したICPを用いたエッチング装置を用いると、テーパ部の角度 (テーパ角) は基板側にかかるバイアス電力によって大きく変化を示し、バイアス電力をさらに高め、また、圧力を変化させることによりテーパ部の角度を5~85°まで変化させることができる。

【0020】また、第2層および第3層におけるエッチングに用いるガスは塩素系ガスが望ましい。例えば、SiCl<sub>4</sub>、HCl、CCl<sub>4</sub>、BCl<sub>3</sub>、Cl<sub>2</sub>等を用いることができる。

【0021】第1層におけるエッチングに用いるガスはフッ素系ガスが望ましい。例えば、NF<sub>3</sub>、CF<sub>4</sub>、C<sub>2</sub>F<sub>6</sub>、SF<sub>6</sub>等を用いることができる。また、第1層におけるエッチングはフッ素系ガスと同時に塩素系ガスも導入すると、エッチングレートが向上するので望ましい。

【0022】また、上記の導電層を用いた積層構造からなる配線とすることで、ICPエッチング法等を用い

て、配線の端部をテーパ形状とする。配線の端部をテーパ形状とすることで、後工程で形成される膜等のカバレッジを良好なものとすることができる。

【0023】上記構成において、前記第1の導電層の端部はテーパ形状であることが望ましい。そして、そのテーパ形状を成している部分 (テーパ部) は、第2の導電層と重なっていない領域であり、その領域の幅は、第1の幅から第2の幅を差し引いた幅である。また、第2の導電層はテーパ形状とし、第1の導電層におけるテーパ部のテーパ角に比べて大きいとするのが望ましい。また、第3の導電層もテーパ形状とするのが望ましく、第2の導電層におけるテーパ部のテーパ角とほとんど同じにするのが望ましい。

【0024】また、本発明を実現するための構成は、絶縁表面上に、第1の導電層と、第2の導電層と、第3の導電層の積層からなる第1の形状の導電層を形成し、前記第1の導電層、前記第2の導電層および前記第3の導電層をエッチングして、第1の幅を有する第1の導電層と、第2の幅を有する第2の導電層と、第3の幅を有する第3の導電層との積層からなる第2の形状の導電層を形成し、前記第2の幅を有する第2の導電層と、前記第3の幅を有する第3の導電層とをエッチングして、第4の幅を有する第1の導電層と、第5の幅を有する第2の導電層と、第6の幅を有する第3の導電層との積層からなる第3の形状の導電層を形成する配線の作製方法であって、前記第4の幅を有する第1の導電層または前記第5の幅を有する第2の導電層または前記第6の幅を有する第3の導電層の端部における断面形状は、テーパ形状であることを特徴としている。

【0025】上記構成において、前記配線は、Wを主成分とする合金もしくは化合物からなる導電層 (第1層) と、Alを主成分とする合金もしくは化合物からなる導電層 (第2層) と、Tiを主成分とする合金もしくは化合物からなる導電層 (第3層) との積層構造を有していることを特徴としている。または、前記配線は、Moを主成分とする合金もしくは化合物からなる導電層 (第1層) と、Alを主成分とする合金もしくは化合物からなる導電層 (第2層) と、Tiを主成分とする合金もしくは化合物からなる導電層 (第3層) との積層構造を有し

20

30

40

50

ていることを特徴としている。

【0026】また、上記の導電層を用いた積層構造からなる配線とすることで、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法等を用いて、配線の端部をテーパ形状とする。配線の端部をテーパ形状とすることで、後工程で形成される膜等のカバレッジを良好なものとすることができる。

【0027】上記構成において、前記第1の導電層の端部はテーパ形状であることが望ましい。そして、そのテーパ形状を成している部分（テーパ部）は、第2の導電層と重なっていない領域であり、その領域の幅は、第1の幅から第2の幅を差し引いた幅である。また、第2の導電層はテーパ形状とし、第1の導電層におけるテーパ部のテーパ角に比べて大きいとするのが望ましい。また、第3の導電層もテーパ形状とするのが望ましく、第2の導電層におけるテーパ部のテーパ角とほとんど同じにするのが望ましい。

【0028】また、本発明の他の構成は、絶縁基板と、配線とを有する配線基板において、前記配線は、第1の幅を有する第1の導電層を第1層とし、前記第1の幅より狭い第2の幅を有する第2の導電層を第2層とし、前記第2の幅より狭い第3の幅を有する第3の導電層を第3層とする積層構造であり、前記第1の導電層または前記第2の導電層または前記第3の導電層の端部における断面形状は、テーパ形状であることを特徴としている。

【0029】上記構成において、前記配線を形成する工程は、Wを主成分とする導電膜を形成し、Alを主成分とする導電膜を形成し、Tiを主成分とする導電膜を形成して積層した後、マスクによりエッチングして形成することを特徴としている。また、上記構成において、前記配線を形成する工程は、Moを主成分とする導電膜を形成し、Alを主成分とする導電膜を形成し、Tiを主成分とする導電膜を形成して積層した後、マスクによりエッチングして形成することを特徴としている。

【0030】上記構成において、前記第1の導電層の端部はテーパ形状であることが望ましい。そして、そのテーパ形状を成している部分（テーパ部）は、第2の導電層と重なっていない領域であり、その領域の幅は、第1の幅から第2の幅を差し引いた幅である。また、第2の導電層はテーパ形状とし、第1の導電層におけるテーパ部のテーパ角に比べて大きいとするのが望ましい。また、第3の導電層もテーパ形状とするのが望ましく、第2の導電層におけるテーパ部のテーパ角とほとんど同じにするのが望ましい。

【0031】また、本発明を実現するための構成は、絶縁表面上に、第1の導電層と、第2の導電層と、第3の導電層の積層からなる第1の形状の導電層を形成し、前記第1の導電層、前記第2の導電層および前記第3の導電層をエッチングして、第1の幅を有する第1の導電層

と、第2の幅を有する第2の導電層と、第3の幅を有する第3の導電層との積層からなる第2の形状の導電層を形成し、前記第2の幅を有する第2の導電層と、前記第3の幅を有する第3の導電層とをエッチングして、第4の幅を有する第1の導電層と、第5の幅を有する第2の導電層と、第6の幅を有する第3の導電層との積層からなる第3の形状の導電層を形成する配線基板の作製方法であって、前記第4の幅を有する第1の導電層、または前記第5の幅を有する第2の導電層、または前記第6の幅を有する第3の導電層の端部における断面形状は、テーパ形状であることを特徴としている。

【0032】上記構成において、前記配線を形成する工程は、Wを主成分とする導電膜を形成し、Alを主成分とする導電膜を形成し、Tiを主成分とする導電膜を形成して積層した後、マスクによりエッチングして形成することを特徴としている。また、上記構成において、前記配線を形成する工程は、Moを主成分とする導電膜を形成し、Alを主成分とする導電膜を形成し、Tiを主成分とする導電膜を形成して積層した後、マスクによりエッチングして形成することを特徴としている。

【0033】また、上記の導電層を用いた積層構造からなる配線とすることで、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法等を用いて、配線の端部をテーパ形状とする。配線の端部をテーパ形状とすることで、後工程で形成される膜等のカバレッジを良好なものとすることができる。

【0034】上記構成において、前記第1の導電層の端部はテーパ形状であることが望ましい。そして、そのテーパ形状を成している部分（テーパ部）は、第2の導電層と重なっていない領域であり、その領域の幅は、第1の幅から第2の幅を差し引いた幅である。また、第2の導電層はテーパ形状とし、第1の導電層におけるテーパ部のテーパ角に比べて大きいとするのが望ましい。また、第3の導電層もテーパ形状とするのが望ましく、第2の導電層におけるテーパ部のテーパ角とほとんど同じにするのが望ましい。

【0035】本発明は、従来の配線または配線基板の作製プロセスに適合した、簡単な方法で配線の低抵抗化を実現できる。そのため、設計の自由度および画素部における開口率の向上が可能となる。そして、配線がテーパ形状である導電層を含んでいるため、カバレッジを良好なものとすることができる。このような利点を満たした上で、アクティブマトリクス型の液晶表示装置に代表される半導体装置において、画素部の面積が大きくなり大画面化しても十分に対応することが可能となり、該半導体装置の動作特性および信頼性を向上させることを可能とする。

【0036】

【発明の実施の形態】 本発明の実施形態について、図1を用いて説明する。本実施形態では、本発明を利用した

TFTのゲート電極を備えた配線基板について説明する。

【0037】まず、基板10上に下地絶縁膜11を形成する。基板10としては、ガラス基板、石英基板、シリコン基板、プラスチック基板、金属基板、可撓性基板などを用いることができる。前記ガラス基板として、バリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板が挙げられる。また、可撓性基板とは、PET、PES、PEN、アクリルなどからなるフィルム状の基板のことであり、可撓性基板を用いて半導体装置を作製すれば、軽量化が見込まれる。可撓性基板の表面、または表面および裏面にアルミ膜（AlON、AlN、AlOなど）、炭素膜（DLC（ダイヤモンドライクカーボン）など）、SiNなどのバリア層を単層または多層にして形成すれば、耐久性などが向上するので望ましい。

【0038】また、下地絶縁膜11としては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜11を形成する。ここでは下地膜11として2層構造（11a、11b）を用いた例を示したが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。なお、下地絶縁膜を形成しなくてもよい。

【0039】次いで、下地絶縁膜上に半導体層12を形成する。半導体層12は、非晶質構造を有する半導体膜を公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜した後、公知の結晶化処理（レーザ結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等）を行って得られた結晶質半導体膜を第1のフォトリソマスクを用いて所望の形状にパターニングして形成する。この半導体層12の厚さは25～80nm（好ましくは30～60nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素または珪素ゲルマニウム（SiGe）合金などで形成すると良い。

【0040】次いで、半導体層12を覆う絶縁膜13を形成する。絶縁膜13はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとして珪素を含む絶縁膜の単層または積層構造で形成する。なお、この絶縁膜13はゲート絶縁膜となる。

【0041】次いで、絶縁膜13上に膜厚20～100nmの第1の導電膜14と膜厚100～800nmの第2の導電膜15と膜厚20～100nmの第3の導電膜16とを積層形成する。ここでは、スパッタ法、プラズマCVD法等を用い、絶縁膜と接する第1の導電層としては、チャンネル形成領域への拡散を防ぐためにWまたはMoを主成分とする導電膜（W、WMo、Mo等）を用いればよい。また、第2の導電層としては、Alを主成分とする低抵抗な導電膜（Al、Al-Ti、Al-Sc、Al-Si等）を用いればよい。また、第3の導電層としては、コンタクト抵抗の低いTi（Ti、TiN

等）を主成分とする導電膜を用いればよい。

【0042】次いで、第2のフォトリソマスクを用いてレジストマスク17aを形成し、ICPエッチング装置等を用いて第1のエッチング工程を行う。この第1のエッチング工程によって、第1乃至第3の導電膜14～16をエッチングして、図1（B）に示すように、端部においてテーパー形状を有する部分（テーパー部）を有する導電層18a～20aを得る。

【0043】次いで、第2のフォトリソグラフィ工程で形成したレジストマスク17aをそのまま用い、ICPエッチング装置等を用いて第2のエッチングを行う。この第2のエッチング工程によって、第2の導電層19aおよび第3の導電層18aを選択的にエッチングして図1（C）に示すような第2の導電層19bおよび第3の導電層18bを形成する。なお、この第2のエッチングの際、レジストマスク、第1の導電層、及び絶縁膜もわずかにエッチングされて、それぞれレジストマスク17b、第1の導電層20b、絶縁膜21bが形成される。第1の導電層20bは、第1の幅（W1）を有しており、第2の導電層19bは、第2の幅（W2）を有しており、第3の導電層18bは、第3の幅（W3）を有する。なお、第1の幅は第2の幅より大きく、第2の幅は第3の幅より大きい。

【0044】なお、ここでは、絶縁膜13の膜減りを抑えるために、2回のエッチング（第1のエッチング工程と第2のエッチング工程）を行ったが、図1（C）に示すような電極構造（第3の導電層18bと第2の導電層19bと第1の導電層20bの積層）が形成できるのであれば、特に2回に限定されず、複数回であっても良いし、1回のエッチング工程で行ってもよい。

【0045】このように本発明ではゲート配線が低抵抗な導電層で形成されているため、画素部の面積が大面積化しても十分駆動させることができる。もちろん、本発明はゲート配線だけでなく、各種配線に用いることができ、基板上にこれらの配線が形成された配線基板を作製することができる。そして、このような配線が形成されている半導体装置の動作特性および信頼性を向上させることが可能である。

【0046】以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

#### 【0047】

【実施例】以下に本発明の実施例を説明するが、特にこれらの実施例に限定されないことはもちろんである。

【0048】【実施例1】本発明を利用したゲート電極を備えた配線基板について、その構造の一例を以下に説明する。

【0049】まず、基板10上に下地絶縁膜11を形成する。基板10としては、ガラス基板や石英基板やシリコン基板、金属基板または可撓性基板の表面に絶縁膜を

形成したものをを用いても良い。また、処理温度に耐える耐熱性を有するプラスチック基板を用いてもよい。本実施例では、コーニング社製 1 7 3 7 ガラス基板を用いた。

【0050】また、下地絶縁膜 1 1 としては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜 1 1 を形成する。ここでは下地膜 1 1 として 2 層構造 (1 1 a、1 1 b) を用いた例を示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造を用いても良い。なお、下地絶縁膜を形成しなくてもよい。本実施例では、膜厚 5 0 n m の酸化窒化珪素膜 1 1 a (組成比 S i = 3 2 %、O = 2 7 %、N = 2 4 %、H = 1 7 %) を形成した。次いで、膜厚 1 0 0 n m の酸化窒化珪素膜 1 1 b (組成比 S i = 3 2 %、O = 5 9 %、N = 7 %、H = 2 %) を形成した。

【0051】次いで、下地絶縁膜上に半導体層 1 2 を形成する。半導体層 1 2 は、非晶質構造を有する半導体膜を公知の手段 (スパッタ法、L P C V D 法、またはプラズマ C V D 法等) により成膜した後、公知の結晶化処理 (レーザ結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等) を行って得られた結晶質半導体膜を第 1 のフォトマスクを用いて所望の形状にパターニングして形成する。この半導体層 1 2 の厚さは 2 5 ~ 8 0 n m (好ましくは 3 0 ~ 6 0 n m) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素または珪素ゲルマニウム (S i G e) 合金などで形成すると良い。本実施例では、プラズマ C V D 法を用い、5 5 n m の非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。この非晶質珪素膜に脱水素化 (5 0 0 ° C、1 時間) を行った後、熱結晶化 (5 5 0 ° C、4 時間) を行い、さらに結晶化を改善するためのレーザアニール処理を行って結晶質珪素膜を形成した。そして、この結晶質珪素膜をフォトリソグラフィ法を用いたパターニング処理によって、半導体層 1 2 を形成した。

【0052】次いで、半導体層 1 2 を覆う絶縁膜 1 3 を形成する。絶縁膜 1 3 はプラズマ C V D 法またはスパッタ法を用い、厚さを 4 0 ~ 1 5 0 n m として珪素を含む絶縁膜の単層または積層構造で形成する。なお、この絶縁膜 1 3 はゲート絶縁膜となる。本実施例では、プラズマ C V D 法により 1 1 0 n m の厚さで酸化窒化珪素膜 (組成比 S i = 3 2 %、O = 5 9 %、N = 7 %、H = 2 %) で形成した。

【0053】次いで、絶縁膜 1 3 上に膜厚 2 0 ~ 1 0 0 n m の第 1 の導電膜 1 4 と膜厚 1 0 0 ~ 8 0 0 n m の第 2 の導電膜 1 5 と膜厚 2 0 ~ 1 0 0 n m の第 3 の導電膜 1 6 とを積層形成する。スパッタ法等により、絶縁膜と接する第 1 の導電層としては、チャネル形成領域への拡散を防ぐために W または M o を主成分とする導電膜

(W、W M o、M o 等) を用いばよい。また、第 2 の

導電層としては、A l を主成分とする低抵抗な導電膜 (A l、A l - T i、A l - S c、A l - S i 等) を用いばよい。また、第 3 の導電層としては、コンタクト抵抗の低い T i を主成分とする導電膜 (T i、T i N 等) を用いばよい。本実施例では、スパッタ法により、膜厚 3 0 n m の W 膜からなる第 1 の導電膜 1 4 と、膜厚 5 0 0 n m の A l - T i 膜からなる第 2 の導電膜 1 5 と、膜厚 5 0 n m の T i 膜からなる第 3 の導電膜 1 6 とを積層形成した。第 2 の導電膜 1 5 の T i の割合は 1 % であり、ターゲットに A l - T i を用いて形成した。

【0054】続いて、第 1 のエッチング処理を行う。第 1 のエッチング処理では第 1 のエッチング条件及び第 2 のエッチング条件で行う。本実施例では第 1 のエッチング条件として、I C P (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに B C l<sub>3</sub> と C l<sub>2</sub> と O<sub>2</sub> とを用い、それぞれのガス流量比を 6 5 : 1 0 : 5 (s c c m) とし、1. 2 P a の圧力でコイル型の電極に 4 5 0 W の R F (13.56 M H z) 電力を投入してプラズマを生成して 1 4 7 秒のエッチングを行った。ここでは、松下電器産業 (株) 製の I C P を用いたドライエッチング装置 (Model E 6 4 5 - □ I C P) を用いた。基板側 (試料ステージ) にも 3 0 0 W の R F (13.56 M H z) 電力を投入し、実質的に負の自己バイアス電圧を印加する。第 1 のエッチング条件でのレジストに対するエッチング速度は 2 3 5. 5 n m / m i n であり、A l - T i に対するエッチング速度は 2 3 3. 4 n m / m i n であり、W に対するエッチング速度は 1 3 3. 8 n m / m i n である。なお、T i のエッチング速度は A l - T i とほとんど同じである。図 2 2 に示すように、この第 1 のエッチング条件により A l - T i 膜および T i 膜をエッチングして、端部がテーパ形状である第 2 の導電層 2 9 および第 3 の導電層 2 8 を得る。また、この第 1 のエッチング条件によって、A l - T i 膜および T i 膜のテーパ角は、約 4 5 ° となる。なお、W に対するエッチング速度はレジスト、T i、A l - T i に比べて十分低いため、第 1 の導電層 3 0 は主として表面のみがエッチングされ、第 2 の導電層 2 9 および第 3 の導電層 2 8 と重ならない領域が薄くなっている。

【0055】この後、レジストからなるマスク 1 7 a を除去せずに第 2 のエッチング条件に変え、エッチング用ガスに C F<sub>4</sub> と C l<sub>2</sub> と O<sub>2</sub> とを用い、それぞれのガス流量比を 2 5 : 2 5 : 1 0 (s c c m) とし、1 P a の圧力でコイル型の電極に 5 0 0 W の R F (13.56 M H z) 電力を投入してプラズマを生成して 3 0 秒のエッチングを行った。基板側 (試料ステージ) にも 2 0 W の R F (13.56 M H z) 電力を投入し、実質的に負の自己バイアス電圧を印加する。C F<sub>4</sub> と C l<sub>2</sub> と O<sub>2</sub> を混合した第 2 のエッチング条件では W 膜のみエッチングされる。第 2 のエッチング条件での W に対するエッチング速度は 1 2 4. 6 n

m/minである。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20％程度の割合でエッチング時間を増加させると良い。

【0056】このように、第2のエッチング条件による第1の導電層30のエッチングは、第1のエッチング条件により形成される第2の導電層29および第3の導電層28（およびレジスト27）をマスクとしている。そのため、第2のエッチング条件により形成される第1の導電層20aの幅は、第1のエッチング条件によって制御すればよい。このような段階を経ることにより、不純物領域となる領域の幅を容易に制御することができる。

【0057】上記第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15～45°とすればよい。こうして、第1のエッチング処理により第1の導電層20aと第2の導電層19aと第3の導電層18aから成る第1の形状の導電層を形成する。ここでのチャネル長方向の第1の導電層の幅は、上記実施の形態に示したW1に相当する。21aはゲート絶縁膜であり、第1の形状の導電層で覆われない領域は20～50nm程度エッチングされ薄くなった領域が形成される。なお、ここでの第1のエッチング処理は、実施の形態に記載した第1のエッチング工程（図1（B））に相当する。このようにして形成された第1の形状の導電層のSEM写真を図2（A）に示す。

【0058】次いで、レジストからなるマスクを除去せずに第2のエッチング処理を行う。ここでは、エッチン

グ用ガスにBCl<sub>3</sub>とCl<sub>2</sub>とを用い、それぞれのガス流量比を20：60（sccm）とし、1.2Paの圧力でコイル型の電極に600WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを行った。基板側（試料ステージ）にも100WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング処理では、Al-Ti膜およびTi膜が選択的にエッチングされる。この第2のエッチングによりAl-Ti膜およびTi膜のテーパ角は80°となった。この第2のエッチング処理により第2の導電層19bおよび第3の導電層18bを形成する。一方、第1の導電層20aは、第2の導電層や第3の導電層に比べてほとんどエッチングされず、第1の導電層20bを形成する。なお、ここでの第2のエッチング処理は、実施の形態に記載した第2のエッチング工程（図1（C））に相当する。このようにして、チャネル長方向の第1の導電層の幅がW1、第2の導電層の幅がW2、第3の導電層の幅がW3である第2の形状の導電層が形成された。第2の形状の導電層のSEM写真を図2（B）に示す。

【0059】また、表4に、Al-Ti膜のエッチングレートの面内ばらつきを考慮し、Al-Ti膜の下層に形成される膜のAl-Ti膜に対するエッチングレートの比が2～10であった場合に、エッチングされる下層膜の膜厚（単位はnm）を計算した結果を示す。このとき、Al-Ti膜の膜厚を500nmとし、面内で±5％のばらつきがあるものとして計算した。

【0060】

【表4】

| Al-TiのERの<br>ばらつき(±%) | 下層膜に対する選択比 |       |       |       |       |       |       |       |       |  |
|-----------------------|------------|-------|-------|-------|-------|-------|-------|-------|-------|--|
|                       | 2          | 3     | 4     | 5     | 6     | 7     | 8     | 9     | 10    |  |
| 1                     | 300.0      | 200.0 | 150.0 | 120.0 | 100.0 | 85.7  | 75.0  | 66.7  | 60.0  |  |
| 2                     | 350.1      | 233.4 | 175.1 | 140.1 | 118.7 | 100.0 | 87.5  | 77.8  | 70.0  |  |
| 3                     | 400.4      | 266.9 | 200.2 | 160.1 | 133.5 | 114.4 | 100.1 | 89.0  | 80.1  |  |
| 4                     | 450.7      | 300.5 | 225.4 | 180.3 | 150.2 | 128.8 | 112.7 | 100.2 | 90.1  |  |
| 5                     | 501.3      | 334.2 | 250.8 | 200.6 | 167.1 | 143.2 | 125.3 | 111.4 | 100.3 |  |
| 6                     | 552.0      | 368.0 | 276.0 | 220.8 | 184.0 | 157.7 | 138.0 | 122.7 | 110.4 |  |
| 7                     | 603.0      | 402.0 | 301.5 | 241.2 | 201.0 | 172.3 | 150.7 | 134.0 | 120.8 |  |
| 8                     | 654.2      | 436.1 | 327.1 | 261.7 | 218.1 | 188.9 | 163.5 | 145.4 | 130.8 |  |
| 9                     | 705.7      | 470.5 | 352.9 | 282.3 | 235.2 | 201.6 | 178.4 | 158.8 | 141.1 |  |
| 10                    | 757.6      | 505.1 | 378.8 | 303.0 | 252.5 | 216.5 | 189.4 | 168.4 | 151.6 |  |
| 11                    | 809.8      | 539.9 | 404.9 | 323.9 | 269.9 | 231.4 | 202.4 | 180.0 | 162.0 |  |
| 12                    | 862.4      | 574.9 | 431.2 | 345.0 | 287.5 | 246.4 | 215.6 | 181.6 | 172.5 |  |
| 13                    | 915.5      | 610.3 | 457.7 | 366.2 | 305.2 | 261.6 | 228.9 | 203.4 | 183.1 |  |
| 14                    | 969.0      | 646.0 | 484.5 | 387.8 | 323.0 | 276.9 | 242.2 | 215.3 | 193.8 |  |
| 15                    | 1023.0     | 682.0 | 511.5 | 409.2 | 341.0 | 292.3 | 255.8 | 227.3 | 204.6 |  |

【0061】表4で示すように、Al-Ti膜に対するエッチングレートのばらつきが大きくなるにつれ、エッチングされる膜厚は厚くなり、また、下層膜に対する選択比が上がるにつれてエッチングされる膜厚は薄くなる。この特性を利用すれば、所望の形状の配線を形成することが可能となる。

【0062】このように本発明ではゲート配線が低抵抗な導電層で形成されているため、画素部の面積が大面積化しても配線遅延等の問題が生じることなく、十分駆動させることができる。そして、このような配線が形成さ

れている半導体装置の動作特性および信頼性を向上させることが可能である。

【0063】【実施例2】本実施例では、実施例1における第1のエッチング処理のうち、第1のエッチング条件における条件を変えた場合について、図3～図6を用いて以下に説明する。ここでは、第1のエッチング条件における条件を変えているので、ゲート配線は実施例1における第2の導電層および第3の導電層の2層のみを形成しているが、実施例1における第1の導電層を下層として3層にした場合にも適用できる。

【0064】まず、1737ガラス基板10上に、スパッタ法により膜厚200nmの酸化窒化膜33を形成する。次いで、前記絶縁膜33上に、スパッタ法により、膜厚500nmのAl-Ti膜からなる第1の導電膜34と、膜厚100nmのTi膜からなる第2の導電膜35とを積層形成した(図3(A))。

【0065】続いて、第2の導電膜上にレジストを形成して、エッチング処理を行う。このエッチング処理は、実施例1における第1のエッチング条件に相当する。本実施例ではエッチング処理として、ICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッチング法を用い、1.2Paの圧力で、エッチング用ガスにBCl<sub>3</sub>とCl<sub>2</sub>とを用いた。そして、それぞれのガス流量比と、コイル型の電極および基板側(試料ステージ)に印可する電力を表5に示すように変化させてエッチングを行った(図3(B))。このエッチング処理により、レジスト、第2の導電膜35および第1の導電膜34はエッチングされ、第2の導電膜37および第1の導電層38が形成される。また絶縁膜もエッチングされて40に示す形状の絶縁膜となる。

【0066】

【表5】

| 条件 | ICP<br>(W) | Bias<br>(W) | ガス                                | 流量<br>(sccm) | エッチング時間<br>(s) |
|----|------------|-------------|-----------------------------------|--------------|----------------|
| 1  | 100        | 300         | BCl <sub>3</sub> :Cl <sub>2</sub> | 60:20        | 268            |
| 2  | 300        | 300         | BCl <sub>3</sub> :Cl <sub>2</sub> | 60:20        | 168            |
| 3  | 700        | 300         | BCl <sub>3</sub> :Cl <sub>2</sub> | 60:20        | 159            |
| 4  | 500        | 100         | BCl <sub>3</sub> :Cl <sub>2</sub> | 60:20        | 175            |
| 5  | 500        | 200         | BCl <sub>3</sub> :Cl <sub>2</sub> | 60:20        | 147            |
| 6  | 500        | 400         | BCl <sub>3</sub> :Cl <sub>2</sub> | 60:20        | 147            |
| 7  | 500        | 300         | BCl <sub>3</sub> :Cl <sub>2</sub> | 20:60        | 60             |
| 8  | 500        | 300         | BCl <sub>3</sub> :Cl <sub>2</sub> | 40:40        | 81             |
| 9  | 500        | 300         | BCl <sub>3</sub> :Cl <sub>2</sub> | 70:10        | 350            |

| 条件 | ICP<br>(W) | Bias<br>(W) | ガス流量<br>(sccm) | Al-Si (nm/min)<br>(Ave) (3σ) | レジスト (nm/min)<br>(Ave) (3σ) | W (nm/min)<br>(Ave) (3σ) | SiON (nm/min)<br>(Ave) (3σ) |
|----|------------|-------------|----------------|------------------------------|-----------------------------|--------------------------|-----------------------------|
| 1  | 100        | 300         | 60:20          | 168.8<br>39.3                | 122.4<br>33.1               | 37.1<br>6.4              | 38.4<br>8.1                 |
| 2  | 300        | 300         | 60:20          | 236.9<br>51.4                | 197.9<br>36.7               | 59.4<br>16.2             | 66.4<br>8.9                 |
| 3  | 700        | 300         | 60:20          | 262.1<br>63.2                | 263.1<br>33.2               | 110.7<br>23.1            | 107.6<br>12.0               |
| 4  | 500        | 100         | 60:20          | 236.7<br>40.6                | 133.7<br>26.3               | 41.4<br>17.0             | 56.0<br>8.2                 |
| 5  | 500        | 200         | 60:20          | 246.8<br>46.1                | 199.6<br>23.7               | 69.1<br>22.3             | 81.8<br>8.8                 |
| 6  | 500        | 400         | 60:20          | 251.0<br>55.2                | 255.3<br>24.4               | 102.6<br>21.3            | 104.0<br>13.4               |
| 7  | 500        | 300         | 20:60          | 750.7<br>111.0               | 395.2<br>70.7               | 127.8<br>49.9            | 104.0<br>17.6               |
| 8  | 500        | 300         | 40:40          | 495.6<br>116.5               | 351.1<br>62.2               | 112.4<br>39.4            | 101.0<br>16.8               |
| 9  | 500        | 300         | 70:10          | 142.3<br>24.2                | 148.6<br>17.7               | 61.0<br>10.8             | 99.3<br>9.7                 |

【0069】

40 【表7】

| 条件 | Al-Si<br>レジスト | W    | SiON | Al-Si<br>レジスト | W    | SiON | Al-Si<br>レジスト | W    | SiON | Al-Si<br>レジスト | W    | SiON |
|----|---------------|------|------|---------------|------|------|---------------|------|------|---------------|------|------|
| 1  | 1.38          | 4.55 | 4.40 | 0.73          | 3.30 | 3.19 | 0.22          | 0.30 | 0.97 | 0.23          | 0.31 | 1.03 |
| 2  | 1.20          | 3.99 | 3.57 | 0.84          | 3.33 | 2.98 | 0.25          | 0.30 | 0.89 | 0.28          | 0.34 | 1.12 |
| 3  | 1.00          | 2.37 | 2.44 | 1.00          | 2.38 | 2.45 | 0.42          | 0.42 | 1.03 | 0.41          | 0.41 | 0.97 |
| 4  | 1.77          | 6.72 | 4.23 | 0.56          | 3.23 | 2.39 | 0.17          | 0.31 | 0.74 | 0.24          | 0.42 | 1.35 |
| 5  | 1.24          | 3.57 | 3.02 | 0.81          | 2.89 | 2.44 | 0.28          | 0.35 | 0.85 | 0.33          | 0.41 | 1.18 |
| 6  | 0.98          | 2.45 | 2.41 | 1.02          | 2.49 | 2.48 | 0.41          | 0.40 | 0.99 | 0.41          | 0.41 | 1.01 |
| 7  | 1.90          | 5.88 | 7.22 | 0.53          | 3.09 | 3.80 | 0.17          | 0.32 | 1.23 | 0.14          | 0.26 | 0.81 |
| 8  | 1.41          | 4.41 | 4.91 | 0.71          | 3.12 | 3.47 | 0.23          | 0.32 | 1.11 | 0.20          | 0.29 | 0.80 |
| 9  | 0.98          | 2.33 | 1.43 | 1.04          | 2.44 | 1.50 | 0.43          | 0.41 | 0.81 | 0.70          | 0.67 | 1.63 |

【0070】以上のことから、条件を変えることで、所望の形状の導電層を得ることができる。また、画素部の面積が大面積化しても配線遅延等の問題が生じることな

【0067】表5で示す条件によって得られる導電層をSEMにより15000倍にて観察した形状を図4~図6に示す。図4(A)は条件1により形成された導電層であり、図4(B)は条件2により形成された導電層であり、図4(C)は条件3により形成された導電層である。また、図5(A)は条件4により形成された導電層であり、図5(B)は条件5により形成された導電層であり、図5(C)は条件6により形成された導電層である。また、図6(A)は条件7により形成された導電層であり、図6(B)は条件8により形成された導電層であり、図6(C)は条件9により形成された導電層である。図4からコイル型の電極に印加する電力が高くなるにつれて、テーパ角が大きくなることが分かる。図5から基板側に印加する電力が高くなるにつれて、テーパ角が大きくなることが分かる。図6からBCl<sub>3</sub>のガス流量が大きくなるにつれて、テーパ角が大きくなることが分かる。このように、条件によって得られるテーパ部の角度が変わることがわかる。また、表6に表5で示した条件により得られたエッチングレートを示す。さらに、それぞれの膜に対する選択比を表7に示す。Al-TiとWとの選択比が大きな条件で異方性エッチングが可能となり、所望の形状の導電層を形成することができる。

【0068】

【表6】

く、十分駆動させることができる。そして、このような配線が形成されている半導体装置の動作特性および信頼性を向上させることが可能である。

【0071】〔実施例3〕本実施例では、実施例1で形成した配線にプラズマ処理を行う場合について、図17を用いて説明する。なお、本明細書中においてプラズマ処理とは、気体をプラズマ化した雰囲気中に試料を曝す処理を指す。

【0072】まず、実施例1にしたがって、図1(C)の状態を得る。なお、図17(A)と図1(C)は同じ状態を示し、対応する部分には同じ符号を用いている。

【0073】そして、形成された配線に酸素もしくは酸素を主成分とする気体、または $H_2O$ を用いてプラズマ処理を行う。(図17(B))プラズマ処理は、プラズマ発生装置(プラズマCVD装置、ドライエッチング装置、スパッタ装置等)を用いて、30秒~20分(好ましくは3~15分)行う。さらに、ガスの流量を50~300sccm、基板の温度を室温~200度、RFを100~2000Wとして処理するのが望ましい。プラズマ処理を行うことで、3層構造からなる導電層のうちAl、またはAlを主成分とする合金もしくは化合物からなる導電層から成る第2の導電層19bが酸化されやすいため、該第2の導電層19bにおいて、他の導電層と接しない部分22が酸化される。そのため、ヒロックやウイスカー等の突起物の形成等をさらに低減することが可能となる。

【0074】もちろん、レジスト17bを除去するために、酸素もしくは酸素を主成分とした気体、または $H_2O$ によるアッシングを行えば、第2の導電層における露呈部分が酸化されるが、レジスト17bを除去した後にプラズマ処理を行う方が、十分な酸化膜を形成しやすい。

【0075】このようにして本発明ではゲート配線が低抵抗な導電層で形成されているため、画素部の面積が大面積化しても配線遅延等の問題が生じることなく、十分駆動させることができる。そして、このような配線が形成されている半導体装置の動作特性および信頼性を向上させることが可能である。

【0076】〔実施例4〕実施例1乃至3とは異なる配線の構造に本発明を適用して配線基板を作製する例について、以下に図7を用いて説明する。

【0077】まず、基板10としては、ガラス基板や石英基板やシリコン基板、金属基板または可撓性基板の表面に絶縁膜を形成したものをを用いても良い。また、処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。本実施例では、コーニング社製1737ガラス基板を用いる。

【0078】次いで、基板10上に膜厚20~100nmの第1の導電膜44と膜厚100~800nmの第2の導電膜45と膜厚20~100nmの第3の導電膜46とを積層形成する。ここでは、スパッタ法を用い、絶縁膜と接する第1の導電層としては、基板10からの不純物の拡散を防ぐためにWまたはMoを主成分とする導

電膜を用いればよい。また、第2の導電層としては、AlまたはCuを主成分とする低抵抗な導電膜を用いればよい。また、第3の導電層としては、コンタクト抵抗の低いTiを主成分とする導電膜を用いればよい。本実施例では、スパッタ法により、膜厚30nmのMo膜からなる第1の導電膜44と、膜厚500nmのAl-Ti膜からなる第2の導電膜45と、膜厚50nmのTi膜からなる第3の導電膜46とを積層形成する。

【0079】そして、エッチング処理を行う。エッチング処理では第1のエッチング条件及び第2のエッチング条件で行う。本実施例では第1のエッチング条件として、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスに $BCl_3$ と $Cl_2$ と $O_2$ とを用い、それぞれのガス流量比を65:10:5(sccm)とし、1.2Paの圧力でコイル型の電極に450WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行う。ここでは、松下電器産業(株)製のICPを用いたドライエッチング装置(Model E645-□ICP)を用いた。基板側(試料ステージ)にも300WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりAl-Ti膜およびTi膜をエッチングして第1の導電層の端部をテーパ形状とする。また、この第1のエッチング条件によって、Al-Ti膜およびTi膜のテーパ角は、約45°となるが、Moはエッチングされない。

【0080】この後、レジストからなるマスク47を除去せずに第2のエッチング条件に変え、エッチング用ガスに $CF_4$ と $Cl_2$ と $O_2$ とを用い、それぞれのガス流量比を25:25:10(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行う。基板側(試料ステージ)にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。 $CF_4$ と $Cl_2$ と $O_2$ を混合した第2のエッチング条件ではMo膜のみエッチングされる。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。

【0081】上記エッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ一部の角度は15~45°とすればよい。こうして、エッチング処理により第1の導電層50と第2の導電層49と第3の導電層48から成る導電層を形成する。

【0082】次いで、導電層を覆う絶縁膜51を形成する。絶縁膜51はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとして珪素を含む絶縁膜の単層または積層構造で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化珪素膜

(組成比 Si = 32%, O = 59%, N = 7%, H = 2%) で形成する。

【0083】次いで、絶縁膜 51 上に半導体層 52 を形成する。半導体層 52 は、非晶質構造を有する半導体膜を公知の手段 (スパッタ法、LPCVD 法、またはプラズマ CVD 法等) により成膜した後、公知の結晶化処理 (レーザ結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等) を行って得られた結晶質半導体膜をフォトマスクを用いて所望の形状にパターニングして形成する。この半導体層 52 の厚さは 25 ~ 300 nm (好ましくは 30 ~ 150 nm) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素または珪素ゲルマニウム (SiGe) 合金などで形成すると良い。本実施例では、プラズマ CVD 法を用い、55 nm の非晶質珪素膜を成膜した後、レーザアニール処理を行って結晶質珪素膜を形成する。そして、この結晶質珪素膜をフォトリソグラフィ法を用いたパターニング処理によって、半導体層 52 を形成する。

【0084】このようにして本発明ではゲート配線が低抵抗な導電層で形成されているため、逆スタガ構造の TFT を用いた場合においても、画素部の面積が大面積化しても配線遅延等の問題が生じることなく、十分駆動させることができる。そして、このような配線が形成されている半導体装置の動作特性および信頼性を向上させることが可能である。

【0085】【実施例 5】本実施例では本発明を利用した配線基板の一例として、アクティブマトリクス基板の作製方法について図 8 ~ 図 11 を用いて説明する。なお、本明細書では CMOS 回路を有する駆動回路と、画素 TFT、保持容量とを有する画素部を同一基板上に形成された基板を、便宜上アクティブマトリクス基板と呼ぶ。

【0086】まず、本実施例ではコーニング社の #7059 ガラスや #1737 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板 400 を用いる。なお、基板 400 としては、石英基板やシリコン基板、金属基板または可撓性基板の表面に絶縁膜を形成したものをを用いても良い。また、本実施例の処理温度に耐えうる耐熱性が有するプラスチック基板を用いてもよい。

【0087】次いで、基板 400 上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜 401 を形成する。本実施例では下地膜 401 として 2 層構造を用いるが、前記絶縁膜の単層膜または 2 層以上積層させた構造を用いても良い。下地膜 401 の一層目としては、プラズマ CVD 法を用い、SiH<sub>4</sub>、N<sub>2</sub>H<sub>4</sub>、及び N<sub>2</sub>O を反応ガスとして成膜される酸化窒化珪素膜 401a を 10 ~ 200 nm (好ましくは 50 ~ 100 nm) 形成する。本実施例では、膜厚 50 nm の酸化窒化珪素膜 401a (組成比 Si = 32%, O = 27%,

N = 24%, H = 17%) を形成した。次いで、下地膜 401 の二層目としては、プラズマ CVD 法を用い、SiH<sub>4</sub>、及び N<sub>2</sub>O を反応ガスとして成膜される酸化窒化珪素膜 401b を 50 ~ 200 nm (好ましくは 100 ~ 150 nm) の厚さに積層形成する。本実施例では、膜厚 100 nm の酸化窒化珪素膜 401b (組成比 Si = 32%, O = 59%, N = 7%, H = 2%) を形成する。

【0088】次いで、下地膜上に半導体層 402 ~ 406 を形成する。半導体層 402 ~ 406 は公知の手段 (スパッタ法、LPCVD 法、またはプラズマ CVD 法等) により 25 ~ 300 nm (好ましくは 30 ~ 200 nm) の厚さで半導体膜を成膜し、公知の結晶化法 (レーザ結晶化法、RTA やファーネスアニール炉を用いた熱結晶化法、結晶化を助長する金属元素を用いた熱結晶化法等) により結晶化させる。そして、得られた結晶質半導体膜を所望の形状にパターニングして半導体層 402 ~ 406 を形成する。前記半導体膜としては、非晶質半導体膜や微結晶半導体膜、結晶質半導体膜などがあり、非晶質珪素ゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。本実施例では、プラズマ CVD 法を用い、55 nm の非晶質珪素膜を成膜する。そして、ニッケルを含む溶液を非晶質珪素膜上に保持させ、この非晶質珪素膜に脱水素化 (500℃、1 時間) を行った後、熱結晶化 (550℃、4 時間) を行って結晶質珪素膜を形成する。そして、フォトリソグラフィ法を用いたパターニング処理によって半導体層 402 ~ 406 を形成する。

【0089】また、レーザ結晶化法で結晶質半導体膜を作製する場合には、レーザとして、連続発振またはパルス発振の固体レーザまたは気体レーザまたは金属レーザなどを用いることができる。なお、前記固体レーザとしては連続発振またはパルス発振の YAG レーザ、YVO<sub>4</sub> レーザ、YLF レーザ、YAlO<sub>3</sub> レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライドレーザ、Ti : サファイアレーザ等があり、前記気体レーザとしては連続発振またはパルス発振のエキシマレーザ、Ar レーザ、Kr レーザ、CO<sub>2</sub> レーザ等があり、前記金属レーザとしてはヘリウムカドミウムレーザ、銅蒸気レーザ、金蒸気レーザが挙げられる。これらのレーザを用いる場合には、レーザ発振器から放射されたレーザビームを光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、パルス発振のエキシマレーザを用いる場合はパルス発振周波数 300 Hz とし、レーザーエネルギー密度を 100 ~ 1200 mJ/cm<sup>2</sup>、代表的には 100 ~ 700 mJ/cm<sup>2</sup> (好ましくは 200 ~ 300 mJ/cm<sup>2</sup>) とする。また、パルス発振の YAG レーザを用いる場合にはその第 2 高調波を用いパルス発振周波数 1 ~ 300 Hz とし、レーザーエネルギー密度を 300 ~ 1800 mJ/cm<sup>2</sup>、代

表的には  $300 \sim 1000 \text{ mJ/cm}^2$  (好ましくは  $350 \sim 500 \text{ mJ/cm}^2$ ) とすると良い。そして幅  $100 \sim 1000 \mu\text{m}$ 、例えば  $400 \mu\text{m}$  で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状ビームの重ね合わせ率 (オーバーラップ率) を  $50 \sim 98\%$  として行ってもよい。また、連続発振のレーザーを用いるときのエネルギー密度は  $0.01 \sim 100 \text{ MW/cm}^2$  程度 (好ましくは  $0.1 \sim 10 \text{ MW/cm}^2$ ) が必要である。そして、 $0.5 \sim 2000 \text{ cm/s}$  程度の速度でレーザービームに対して相対的にステージを動かして照射する。

【0090】しかしながら、本実施例では、結晶化を助長する金属元素を用いて非晶質珪素膜の結晶化を行ったため、前記金属元素が結晶質珪素膜中に残留している。そのため、前記結晶質珪素膜上に  $50 \sim 100 \text{ nm}$  の非晶質珪素膜を形成し、加熱処理 (RTA法やファーンズアニール炉を用いた熱アニール等) を行って、該非晶質珪素膜中に前記金属元素を拡散させ、前記非晶質珪素膜は加熱処理後にエッチングを行って除去する。このようにすることで、前記結晶質珪素膜中の金属元素の含有量を低減または除去することができる。

【0091】もちろん、レーザー結晶化法のみを行った結晶質半導体膜を用いて TFT を作製することもできるが、金属元素を用いる熱結晶化法およびレーザー結晶化法を組み合わせれば結晶質半導体膜の結晶性が向上しているため、TFT の電気的特性が向上するので望ましい。例えば、レーザー結晶化法のみを行った結晶質半導体膜を用いて TFT を作製すると、移動度は  $300 \text{ cm}^2/\text{Vs}$  程度であるが、金属元素を用いる熱結晶化法およびレーザー結晶化法を行った結晶質半導体膜を用いて TFT を作製すると、移動度は  $500 \sim 600 \text{ cm}^2/\text{Vs}$  程度と著しく向上する。

【0092】また、半導体層 402 ~ 406 を形成した後、TFT のしきい値を制御するために微量な不純物元素 (ボロンまたはリン) のドーピングを行ってもよい。

【0093】次いで、半導体層 402 ~ 406 を覆うゲート絶縁膜 407 を形成する。ゲート絶縁膜 407 はプラズマ CVD 法またはスパッタ法を用い、厚さを  $40 \sim 150 \text{ nm}$  として珪素を含む絶縁膜で形成する。本実施例では、プラズマ CVD 法により  $110 \text{ nm}$  の厚さで酸化窒化珪素膜 (組成比  $\text{Si} = 32\%$ 、 $\text{O} = 59\%$ 、 $\text{N} = 7\%$ 、 $\text{H} = 2\%$ ) で形成した。勿論、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0094】また、酸化珪素膜を用いる場合には、プラズマ CVD 法で TEOS (Tetraethyl Orthosilicate) と  $\text{O}_2$  とを混合し、反応圧力  $40 \text{ Pa}$ 、基板温度  $300 \sim 400^\circ\text{C}$  とし、高周波 ( $13.56 \text{ MHz}$ ) 電力密度  $0.5 \sim 0.8 \text{ W/cm}^2$  で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後  $400 \sim 500^\circ\text{C}$  の熱アニールによりゲート絶縁膜として良好

な電気的特性を得ることができる。

【0095】次いで、ゲート絶縁膜 407 上に膜厚  $20 \sim 100 \text{ nm}$  の第 1 の導電膜 408a と、膜厚  $100 \sim 800 \text{ nm}$  の第 2 の導電膜 408b と、膜厚  $20 \sim 100 \text{ nm}$  の第 3 の導電膜 408c を積層形成する。本実施例では、膜厚  $30 \text{ nm}$  の WN 膜からなる第 1 の導電膜 408a と、膜厚  $370 \text{ nm}$  の Al-Sc 膜からなる第 2 の導電膜 408b と、膜厚  $30 \text{ nm}$  の TiN 膜からなる第 3 の導電膜 408c とを積層形成する。

10 【0096】なお、本実施例では、第 1 の導電膜 408a を WN としたが、特に限定されず、第 1 の導電膜として、W や Mo から選ばれた元素、または前記元素を主成分とする合金もしくは化合物からなる導電層で形成してもよい。また、第 2 の導電膜 408b を Al-Sc としたが、特に限定されず、Al や、Al を主成分とする合金もしくは化合物からなる導電層で形成してもよい。また、第 3 の導電膜 408c を TiN としたが、特に限定されず、Ti や、Ti を主成分とする合金もしくは化合物からなる導電層で形成してもよい。

20 【0097】次に、フォトリソグラフィ法を用いてレジストからなるマスク 410 ~ 415 を形成し、電極及び配線を形成するための第 1 のエッチング処理を行う。第 1 のエッチング処理では第 1 のエッチング条件及び第 2 のエッチング条件で行う。(図 8 (B)) 本実施例では第 1 のエッチング条件として、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスにエッチング用ガスに  $\text{BCl}_3$  と  $\text{Cl}_2$  と  $\text{O}_2$  とを用い、それぞれのガス流量比を  $65:10:5$  ( $\text{sccm}$ ) とし、 $1.2 \text{ Pa}$  の圧力でコイル型の電極に  $450 \text{ W}$  の RF ( $13.56 \text{ MHz}$ ) 電力を投入してプラズマを生成してエッチングを行う。基板側 (試料ステージ) にも  $300 \text{ W}$  の RF ( $13.56 \text{ MHz}$ ) 電力を投入し、実質的に負の自己バイアス電圧を印加する。この第 1 のエッチング条件により Al-Sc 膜および TiN 膜をエッチングして第 2 の導電層および第 3 の導電層の端部をテーパ形状とする。また、この第 1 のエッチング条件によって、Al-Sc 膜および TiN 膜のテーパ角は、約  $45^\circ$  となるが、WN 膜はほとんどエッチングされない。

30 【0098】この後、レジストからなるマスク 410 ~ 415 を除去せずに第 2 のエッチング条件に変え、エッチング用ガスに  $\text{CF}_4$  と  $\text{Cl}_2$  と  $\text{O}_2$  とを用い、それぞれのガス流量比を  $25:25:30$  ( $\text{sccm}$ ) とし、 $1 \text{ Pa}$  の圧力でコイル型の電極に  $500 \text{ W}$  の RF ( $13.56 \text{ MHz}$ ) 電力を投入してプラズマを生成してエッチングを行う。基板側 (試料ステージ) にも  $20 \text{ W}$  の RF ( $13.56 \text{ MHz}$ ) 電力を投入し、実質的に負の自己バイアス電圧を印加する。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10 \sim 20\%$  程度の割合でエッチング時間を増加させると良い。

【0099】上記第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1乃至第3の導電層の端部がテーパ形状となる。このテーパ部の角度は $15 \sim 45^\circ$ となる。こうして、第1のエッチング処理により第1の導電層と第2の導電層と第3の導電層から成る第1の形状の導電層417～422（第1の導電層417a～422aと第2の導電層417b～422bと第3の導電層417c～422c）を形成する。416はゲート絶縁膜であり、第1の形状の導電層417～422で覆われない領域は $20 \sim 50 \text{ nm}$ 程度エッチングされ薄くなった領域が形成される。

【0100】次いで、レジストからなるマスクを除去せずに第2のエッチング処理を行う。（図8（C））ここでは、エッチングガスに $\text{BCl}_3$ と $\text{Cl}_2$ とを用い、それぞれのガス流量比を $20:60$ （sccm）とし、 $1.2 \text{ Pa}$ の圧力でコイル型の電極に $600 \text{ W}$ のRF（ $13.56 \text{ MHz}$ ）電力を投入してプラズマを生成してエッチングを行った。基板側（試料ステージ）にも $100 \text{ W}$ のRF（ $13.56 \text{ MHz}$ ）電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング処理では、Al—Sc膜およびTiN膜が選択的にエッチングされる。この時、第2のエッチング処理により第2の導電層428b～433bおよび第3の導電層428c～433cを形成する。一方、第1の導電層417a～422aは、ほとんどエッチングされず、第2の形状の導電層428～433を形成する。

【0101】このように第1のエッチング工程および第2のエッチング工程により、本発明の構成を利用したゲート電極428～431、保持容量の一方の電極432およびソース配線433が形成される。

【0102】そして、レジストからなるマスクを除去せずに第1のドーピング処理を行い、半導体層にn型を付与する不純物元素を低濃度に添加する。ドーピング処理はイオンドープ法、若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} / \text{cm}^2$ とし、加速電圧を $40 \sim 80 \text{ keV}$ として行う。本実施例ではドーズ量を $1.5 \times 10^{13} / \text{cm}^2$ とし、加速電圧を $60 \text{ keV}$ として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン（P）または砒素（As）を用いるが、ここではリン（P）を用いる。この場合、導電層428～433がn型を付与する不純物元素に対するマスクとなり、自己整合的に不純物領域423～427が形成される。不純物領域423～427には $1 \times 10^{18} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。

【0103】レジストからなるマスクを除去した後、新たにレジストからなるマスク434a～434cを形成して第1のドーピング処理よりも高い加速電圧で第2の

ドーピング処理を行う。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 1 \times 10^{15} / \text{cm}^2$ とし、加速電圧を $60 \sim 120 \text{ keV}$ として行う。ドーピング処理は第2の導電層428b～432bを不純物元素に対するマスクとして用い、第1の導電層のテーパ部の下方の半導体層に不純物元素が添加されるようにドーピングする。続いて、第2のドーピング処理より加速電圧を下げて第3のドーピング処理を行って図9（A）の状態を得る。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 1 \times 10^{17} / \text{cm}^2$ とし、加速電圧を $50 \sim 100 \text{ keV}$ として行う。第2のドーピング処理および第3のドーピング処理により、第1の導電層と重なる低濃度不純物領域436、442、448には $1 \times 10^{18} \sim 5 \times 10^{19} / \text{cm}^3$ の濃度範囲でn型を付与する不純物元素を添加され、高濃度不純物領域435、441、444、447には $1 \times 10^{19} \sim 5 \times 10^{21} / \text{cm}^3$ の濃度範囲でn型を付与する不純物元素を添加される。

【0104】もちろん、適当な加速電圧にすることで、第2のドーピング処理および第3のドーピング処理は1回のドーピング処理で、低濃度不純物領域および高濃度不純物領域を形成することも可能である。

【0105】次いで、レジストからなるマスクを除去した後、新たにレジストからなるマスク450a～450cを形成して第4のドーピング処理を行う。この第4のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が添加された不純物領域453、454、459、460を形成する。第2の導電層428a～432aを不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。本実施例では、不純物領域453、454、459、460はジボラン（ $\text{B}_2\text{H}_6$ ）を用いたイオンドープ法で形成する。（図9（B））この第4のドーピング処理の際には、nチャネル型TFTを形成する半導体層はレジストからなるマスク450a～450cで覆われている。第1乃至3のドーピング処理によって、不純物領域438、439にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度を $1 \times 10^{18} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

【0106】以上までの工程で、それぞれの半導体層に不純物領域が形成される。

【0107】次いで、レジストからなるマスク450a～450cを除去して第1の層間絶縁膜461を形成する。この第1の層間絶縁膜461としては、プラズマCVD法またはスパッタ法を用い、厚さを $100 \sim 200 \text{ nm}$ として珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚 $150 \text{ nm}$ の酸化窒化

珪素膜を形成した。勿論、第1の層間絶縁膜461は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0108】次いで、図9(C)に示すように、レーザビームを照射して、半導体層の結晶性の回復、およびそれぞれの半導体層に添加された不純物元素の活性化を行う。用いるレーザは、連続発振またはパルス発振の固体レーザまたは気体レーザまたは金属レーザが望ましい。特にYAGレーザを用いたレーザアニール法を行うのが好ましい。連続発振のレーザを用いるのであれば、レーザ光のエネルギー密度は0.01~100MW/cm<sup>2</sup>程度(好ましくは0.01~10MW/cm<sup>2</sup>)が必要であり、レーザ光に対して相対的に基板を0.5~2000cm/sの速度で移動させる。また、パルス発振のレーザを用いるのであれば、周波数300Hzとし、レーザーエネルギー密度を50~900mJ/cm<sup>2</sup>(代表的には50~500mJ/cm<sup>2</sup>)とするのが望ましい。このとき、レーザ光を50~98%オーバーラップさせても良い。また、第2の導電層において第1の層間絶縁膜に接する領域が十分に酸化していることなどにより、加熱処理を行ってもヒロックやウイスカー等の突起物が形成されない場合は、ファーンズアニール炉を用いる熱アニール法やラピッドサーマルアニール法(RTA法)を適用することができる。

【0109】また、第1の層間絶縁膜を形成する前に加熱処理を行っても良い。ただし、用いた配線が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜(珪素を主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で活性化処理を行うことが好ましい。

【0110】そして、加熱処理(300~450℃で1~12時間の熱処理)を行うと水素化を行うことができる。この工程は第1の層間絶縁膜461に含まれる水素により半導体層のダングリングボンドを終端する工程である。第1の層間絶縁膜の存在に関係なく半導体層を水素化することができる。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)や、3~100%の水素を含む雰囲気中で300~450℃で1~12時間の加熱処理を行っても良い。

【0111】次いで、第1の層間絶縁膜461上に無機絶縁膜材料または有機絶縁物材料から成る第2の層間絶縁膜462aを形成する。本実施例では、膜厚1.6μmのアクリル樹脂膜を形成したが、粘度が10~1000cP、好ましくは40~200cPのものをを用い、表面に凸凹が形成されるものを用いる。また、有機樹脂膜を用いない場合は図21で示すような形状の第2層間絶縁膜462bが形成される。

【0112】本実施例では、鏡面反射を防ぐため、表面に凸凹が形成される第2の層間絶縁膜を形成することによって画素電極の表面に凸凹を形成した。また、画素電極の表面に凹凸を持たせて光散乱性を図るため、画素電

極の下方の領域に凸部を形成してもよい。その場合、凸部の形成は、TFTの形成と同じフォトマスクで行うことができるため、工程数の増加なく形成することができる。なお、この凸部は配線及びTFT部以外の画素部領域の基板上に適宜設ければよい。こうして、凸部を覆う絶縁膜の表面に形成された凸凹に沿って画素電極の表面に凸凹が形成される。

【0113】また、第2の層間絶縁膜462aとして表面が平坦化する膜を用いてもよい。その場合は、画素電極を形成した後、公知のサンドブラスト法やエッチング法等の工程を追加して表面を凹凸化させて、鏡面反射を防ぎ、反射光を散乱させることによって白色度を増加させることが好ましい。

【0114】そして、駆動回路506において、各不純物領域とそれぞれ電氣的に接続する配線463~467を形成する。なお、これらの配線は、膜厚50nmのTi膜と、膜厚500nmの合金膜(AlとTiとの合金膜)との積層膜をパターニングして形成する。もちろん、二層構造に限らず、単層構造でもよいし、三層以上の積層構造にしてもよい。また、配線の材料としては、AlとTiに限らない。例えば、Ta<sub>2</sub>N膜上にAlやCuを形成し、さらにTi膜を形成した積層膜をパターニングして配線を形成してもよい。(図10)

【0115】また、画素部507においては、画素電極470、ゲート配線469、接続電極468を形成する。この接続電極468によりソース配線(433a~433cの積層)は、画素TFTと電氣的な接続が形成される。また、ゲート配線469は、画素TFTのゲート電極と電氣的な接続が形成される。また、画素電極470は、画素TFTのドレイン領域442と電氣的な接続が形成され、さらに保持容量を形成する一方の電極として機能する半導体層458と電氣的な接続が形成される。また、画素電極470としては、AlまたはAgを主成分とする膜、またはそれらの積層膜等の反射性の優れた材料を用いることが望ましい。

【0116】以上の様にして、nチャネル型TFT501とpチャネル型TFT502からなるCMOS回路、及びnチャネル型TFT503を有する駆動回路506と、画素TFT504、保持容量505とを有する画素部507を同一基板上に形成することができる。こうして、アクティブマトリクス基板が完成する。

【0117】駆動回路506のnチャネル型TFT501はチャネル形成領域437、ゲート電極の一部を構成する第1の導電層428aと重なる低濃度不純物領域436(GOLD領域)、ソース領域またはドレイン領域として機能する高濃度不純物領域452を有している。このnチャネル型TFT501と電極466で接続してCMOS回路を形成するpチャネル型TFT502にはチャネル形成領域440、ソース領域またはドレイン領域として機能する高濃度不純物領域454と、n型を付

与する不純物元素およびp型を付与する不純物元素が導入された不純物領域453を有している。また、nチャネル型TFT503にはチャネル形成領域443、ゲート電極の一部を構成する第1の導電層430aと重なる低濃度不純物領域442（GOLD領域）、ソース領域またはドレイン領域として機能する高濃度不純物領域456を有している。

【0118】画素部の画素TFT504にはチャネル形成領域446、ゲート電極の外側に形成される低濃度不純物領域445（LDD領域）、ソース領域またはドレイン領域として機能する高濃度不純物領域458を有している。また、保持容量505の一方の電極として機能する半導体層には、n型を付与する不純物元素およびp型を付与する不純物元素が添加されている。保持容量505は、絶縁膜416を誘電体として、電極（432a～432cの積層）と、半導体層とで形成している。

【0119】本実施例の画素構造は、ブラックマトリクスを用いることなく、画素電極間の隙間が遮光されるように、画素電極の端部をソース配線と重なるように配置形成する。

【0120】また、本実施例で作製するアクティブマトリクス基板の画素部の上面図を図11に示す。なお、図8～図11に対応する部分には同じ符号を用いている。図10中の鎖線A-A'は図11中の鎖線A-A'で切断した断面図に対応している。また、図10中の鎖線B-B'は図11中の鎖線B-B'で切断した断面図に対応している。

【0121】このようにして作製された配線は低抵抗化が実現されており、該配線を有する配線基板は画素部の大面積化しても配線遅延等の問題が生じることなく、十分適応でき得るものとなっている。

【0122】なお、本実施例は実施例1乃至4のいずれか一と自由に組み合わせることが可能である。

【0123】〔実施例6〕本実施例では、実施例5で作製したアクティブマトリクス基板から、反射型液晶表示装置を作製する工程を以下に説明する。説明には図12を用いる。本実施例では本発明の記載がないが、実施例5で作製されるアクティブマトリクス基板を用いているため、本発明を適用していると言える。

【0124】まず、実施例5に従い、図10の状態のアクティブマトリクス基板を得た後、図10のアクティブマトリクス基板上、少なくとも画素電極470上に配向膜567を形成しラビング処理を行う。なお、本実施例では配向膜567を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターンニングすることによって基板間隔を保持するための柱状のスペーサ572を所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0125】次いで、対向基板569を用意する。次いで、対向基板569上に着色層570、571、平坦化

膜573を形成する。赤色の着色層570と青色の着色層571とを重ねて、遮光部を形成する。また、赤色の着色層と緑色の着色層とを一部重ねて、遮光部を形成してもよい。

【0126】本実施例では、実施例5に示す基板を用いている。従って、実施例5の画素部の上面図を示す図11では、少なくともゲート配線469と画素電極470の間隙と、ゲート配線469と接続電極468の間隙と、接続電極468と画素電極470の間隙を遮光する必要がある。本実施例では、それらの遮光すべき位置に着色層の積層からなる遮光部が重なるように各着色層を配置して、対向基板を貼り合わせた。

【0127】このように、ブラックマスク等の遮光層を形成することなく、各画素間の隙間を着色層の積層からなる遮光部で遮光することによって工程数の低減を可能とした。

【0128】次いで、平坦化膜573上に透明導電膜からなる対向電極576を少なくとも画素部に形成し、対向基板の全面に配向膜574を形成し、ラビング処理を施した。

【0129】そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材568で貼り合わせる。シール材568にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料575を注入し、封止剤（図示せず）によって完全に封止する。液晶材料575には公知の液晶材料を用いれば良い。このようにして図12に示す反射型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、対向基板のみに偏光板（図示しない）を貼りつけた。そして、公知の技術を用いてFPCを貼りつけた。

【0130】以上のようにして作製される液晶表示パネルは各種電子機器の表示部として用いることができる。前記液晶表示パネルは、画素部において、開口率を低下することなく、また、配線遅延等の問題が生じることがないので、大面積化にも十分対応でき得るものとなっている。

【0131】なお、本実施例は実施例1乃至5のいずれか一と自由に組み合わせることが可能である。

【0132】〔実施例7〕本実施例では、実施例5で作製したアクティブマトリクス基板から、実施例6とは異なるアクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図13を用いる。本実施例では本発明の記載がないが、実施例5で作製されるアクティブマトリクス基板を用いているため、本発明を適用していると言える。

【0133】まず、実施例5に従い、図8の状態のアクティブマトリクス基板を得た後、図8のアクティブマト

リクス基板上に配向膜 1067 を形成しラビング処理を行う。なお、本実施例では配向膜 1067 を形成する前に、アクリル樹脂膜等の有機樹脂膜をバターニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0134】次いで、対向基板 1068 を用意する。この対向基板には、着色層 1074、遮光層 1075 が各画素に対応して配置されたカラーフィルタが設けられている。また、駆動回路の部分にも遮光層 1077 を設けた。このカラーフィルタと遮光層 1077 とを覆う平坦化膜 1076 を設けた。次いで、平坦化膜 1076 上に透明導電膜からなる対向電極 1069 を画素部に形成し、対向基板の全面に配向膜 1070 を形成し、ラビング処理を施した。

【0135】そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材 1071 で貼り合わせる。シール材 1071 にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 1073 を注入し、封止剤（図示せず）によって完全に封止する。液晶材料 1073 には公知の液晶材料を用いれば良い。このようにして図 11 に示すアクティブマトリクス型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、公知の技術を用いて偏光板等を適宜設けた。そして、公知の技術を用いて FPC を貼りつけた。

【0136】以上のようにして作製される液晶表示パネルは各種電子機器の表示部として用いることができる。前記液晶表示パネルは、画素部において、開口率を低下することなく、また、配線遅延等の問題が生じることがないので、大面積化にも十分対応でき得るものとなっている。

【0137】なお、本実施例は実施例 1 乃至 5 のいずれか一と自由に組み合わせることが可能である。

【0138】〔実施例 8〕本実施例では、本発明を利用した配線基板の一例として、実施例 5 で示したアクティブマトリクス基板を作製するときの TFT の作製方法を用いて、発光装置を作製した例について説明する。本実施例では本発明の記載がないが、実施例 5 で作製されるアクティブマトリクス基板を用いているため、本発明を適用していると言える。本明細書において、発光装置とは、基板上に形成された発光素子を該基板とカバー材の間に封入した表示用パネルおよび該表示用パネルに IC を実装した表示用モジュールを総称したものである。なお、発光素子は、電場を加えることで発生するルミネッセンス (Electro Luminescence) が得られる有機化合物を含む層（発光層）と陽極層と、陰極層とを有する。また、有機化合物におけるルミネッセンスには、一重項励

起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）があり、これらのうちどちらか、あるいは両方の発光を含む。

【0139】なお、本明細書中では、発光素子において陽極と陰極の間に形成された全ての層を有機発光層と定義する。有機発光層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的に発光素子は、陽極層、発光層、陰極層が順に積層された構造を有しており、この構造に加えて、陽極層、正孔注入層、発光層、陰極層や、陽極層、正孔注入層、発光層、電子輸送層、陰極層等の順に積層した構造を有していることもある。

【0140】図 14 は本実施例の発光装置の断面図である。図 14 において、基板 700 上に設けられたスイッチング TFT 603 は図 10 の n チャネル型 TFT 503 を用いて形成される。したがって、構造の説明は n チャネル型 TFT 503 の説明を参照すれば良い。

【0141】なお、本実施例ではチャネル形成領域が二つ形成されるダブルゲート構造としているが、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0142】基板 700 上に設けられた駆動回路は図 10 の CMOS 回路を用いて形成される。従って、構造の説明は n チャネル型 TFT 501 と p チャネル型 TFT 502 の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0143】また、配線 701、703 は CMOS 回路のソース配線、702 はドレイン配線として機能する。また、配線 704 はソース配線 708 とスイッチング TFT のソース領域とを電気的に接続する配線として機能し、配線 705 はドレイン配線 709 とスイッチング TFT のドレイン領域とを電気的に接続する配線として機能する。

【0144】なお、電流制御 TFT 604 は図 10 の p チャネル型 TFT 502 を用いて形成される。従って、構造の説明は p チャネル型 TFT 502 の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0145】また、配線 706 は電流制御 TFT のソース配線（電流供給線に相当する）であり、707 は電流制御 TFT の画素電極 711 上に重ねることで画素電極 711 と電気的に接続する電極である。

【0146】なお、711 は、透明導電膜からなる画素電極（発光素子の陽極）である。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。画素電極

711は、上記配線を形成する前に平坦な層間絶縁膜710上に形成する。本実施例においては、樹脂からなる平坦化膜710を用いてTFTによる段差を平坦化することは非常に重要である。後に形成される発光層は非常に薄いので、段差が存在することによって発光不良を起こす場合がある。従って、発光層をできるだけ平坦面に形成するように画素電極を形成する前に平坦化しておくことが望ましい。

【0147】配線701~707を形成後、図14に示すようにバンク712を形成する。バンク712は100~400nmの珪素を含む絶縁膜もしくは有機樹脂膜をパターンニングして形成すれば良い。

【0148】なお、バンク712は絶縁膜であるため、成膜時における素子の静電破壊には注意が必要である。本実施例ではバンク712の材料となる絶縁膜中にカーボン粒子や金属粒子を添加して抵抗率を下げ、静電気の発生を抑制する。この際、抵抗率は $1 \times 10^4 \sim 1 \times 10^{12} \Omega m$  (好ましくは $1 \times 10^4 \sim 1 \times 10^{10} \Omega m$ ) となるようにカーボン粒子や金属粒子の添加量を調節すれば良い。

【0149】画素電極711の上には発光層713が形成される。なお、図14では一画素しか図示していないが、本実施例ではR(赤)、G(緑)、B(青)の各色に対応した発光層を作り分けている。また、本実施例では蒸着法により低分子系有機発光材料を形成している。具体的には、正孔注入層として20nm厚の銅フタロシアニン(CuPc)膜を設け、その上に発光層として70nm厚のトリス-8-キノリノラトアルミニウム錯体(Alq<sub>3</sub>)膜を設けた積層構造としている。Alq<sub>3</sub>にキナクリドン、ペリレンもしくはDCM1といった蛍光色素を添加することで発光色を制御することができる。

【0150】但し、以上の例は発光層として用いることのできる有機発光材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせて発光層(発光及びそのためのキャリアの移動を行わせるための層)を形成すれば良い。例えば、本実施例では低分子系有機発光材料を発光層として用いる例を示したが、中分子系有機発光材料や高分子系有機発光材料を用いても良い。なお、本明細書において、昇華性を有さず、かつ、分子数が20以下または連鎖する分子の長さが10 $\mu m$ 以下の有機発光材料を中分子系有機発光材料とする。また、高分子系有機発光材料を用いる例として、正孔注入層として20nmのポリチオフェン(PEDOT)膜をスピン塗布法により設け、その上に発光層として100nm程度のパラフェニレンビニレン(PPV)膜を設けた積層構造としても良い。なお、PPVの $\pi$ 共役系高分子を用いると、赤色から青色まで発光波長を選択できる。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機発光材料や無機材料は公

知の材料を用いることができる。

【0151】次に、発光層713の上には導電膜からなる陰極714が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のMgAg膜(マグネシウムと銀との合金膜)を用いても良い。陰極材料としては、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0152】この陰極714まで形成された時点で発光素子715が完成する。なお、ここでいう発光素子715は、画素電極(陽極)711、発光層713及び陰極714で形成されたダイオードを指す。

【0153】発光素子715を完全に覆うようにしてパッシベーション膜716を設けることは有効である。パッシベーション膜716としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0154】この際、カバレッジの良い膜をパッシベーション膜として用いることが好ましく、炭素膜、特にDLC(ダイヤモンドライクカーボン)膜を用いることは有効である。DLC膜は室温から100℃以下の温度範囲で成膜可能であるため、耐熱性の低い発光層713の上方にも容易に成膜することができる。また、DLC膜は酸素に対するブロッキング効果が高く、発光層713の酸化を抑制することが可能である。そのため、この後に続く封止工程を行う間に発光層713が酸化するといった問題を防止できる。

【0155】さらに、パッシベーション膜716上に封止材717を設け、カバー材718を貼り合わせる。封止材717としては紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、本実施例においてカバー材718はガラス基板や石英基板やプラスチック基板(プラスチックフィルムも含む)の両面に炭素膜(好ましくはダイヤモンドライクカーボン膜)を形成したものを用いる。

【0156】こうして図14に示すような構造の発光装置が完成する。なお、バンク712を形成した後、パッシベーション膜716を形成するまでの工程をマルチチャンバー方式(またはインライン方式)の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。また、さらに発展させてカバー材718を貼り合わせる工程までを大気解放せずに連続的に処理することも可能である。

【0157】こうして、基板700上にnチャネル型TFT601、602、スイッチングTFT(nチャネル型TFT)603および電流制御TFT(nチャネル型TFT)604が形成される。

【0158】さらに、図14を用いて説明したように、ゲート電極に絶縁膜を介して重なる不純物領域を設ける

ことによりホットキャリア効果に起因する劣化に強い n チャネル型 TFT を形成することができる。そのため、信頼性の高い発光装置を実現できる。

【0159】また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の製造工程に従えば、その他にも信号分割回路、D/A コンバータ、オペアンプ、 $\gamma$  補正回路などの論理回路を同一の絶縁体上に形成可能であり、さらにはメモリやマイクロプロセッサをも形成しうる。

【0160】さらに、発光素子を保護するための封止 (または封入) 工程まで行った後の本実施例の発光装置について図 15 を用いて説明する。なお、必要に応じて図 14 で用いた符号を引用する。

【0161】図 15 (A) は、発光素子の封止までを行った状態を示す上面図、図 15 (B) は図 15 (A) を C-C' で切断した断面図である。点線で示された 801 はソース側駆動回路、806 は画素部、807 はゲート側駆動回路である。また、901 はカバー材、902 は第 1 シール材、903 は第 2 シール材であり、第 1 シール材 902 で囲まれた内側には封止材 907 が設けら

れる。

【0162】なお、904 はソース側駆動回路 801 及びゲート側駆動回路 807 に入力される信号を伝送するための配線であり、外部入力端子となる FPC (フレキシブルプリントサーキット) 905 からビデオ信号やクロック信号を受け取る。なお、ここでは FPC しか図示されていないが、この FPC にはプリント配線基盤 (PWB) が取り付けられていても良い。本明細書における発光装置には、発光装置本体だけでなく、それに FPC もしくは PWB が取り付けられた状態をも含むものとする。

【0163】次に、断面構造について図 15 (B) を用いて説明する。基板 700 の上方には画素部 806、ゲート側駆動回路 807 が形成されており、画素部 806 は電流制御 TFT 604 とそのドレインに電氣的に接続された画素電極 710 を含む複数の画素により形成される。また、ゲート側駆動回路 807 は n チャネル型 TFT 601 と p チャネル型 TFT 602 とを組み合わせた CMOS 回路 (図 14 参照) を用いて形成される。

【0164】画素電極 711 は発光素子の陽極として機能する。また、画素電極 711 の両端にはバンク 712 が形成され、画素電極 711 上には発光層 713 および発光素子の陰極 714 が形成される。

【0165】陰極 714 は全画素に共通の配線としても機能し、接続配線 904 を経由して FPC 905 に電氣的に接続されている。さらに、画素部 806 及びゲート側駆動回路 807 に含まれる素子は全て陰極 714 およびパッシベーション膜 716 で覆われている。

【0166】また、第 1 シール材 902 によりカバー材 901 が貼り合わされている。なお、カバー材 901 と

発光素子との間隔を確保するために樹脂膜からなるスペーサを設けても良い。そして、第 1 シール材 902 の内側には封止材 907 が充填されている。なお、第 1 シール材 902、封止材 907 としてはエポキシ系樹脂を用いるのが好ましい。また、第 1 シール材 902 はできるだけ水分や酸素を透過しない材料であることが望ましい。さらに、封止材 907 の内部に吸湿効果をもつ物質や酸化防止効果をもつ物質を含有させても良い。

【0167】発光素子を覆うようにして設けられた封止材 907 はカバー材 901 を接着するための接着剤としても機能する。また、本実施例ではカバー材 901 を構成するプラスチック基板の材料として FRP (Fiberglass-Reinforced Plastics)、PVF (ポリビニルフロライド)、マイラー、ポリエステルまたはアクリルを用いることができる。

【0168】また、封止材 907 を用いてカバー材 901 を接着した後、封止材 907 の側面 (露呈面) を覆うように第 2 シール材 903 を設ける。第 2 シール材 903 は第 1 シール材 902 と同じ材料を用いることができる。

【0169】以上のような構造で発光素子を封止材 907 に封入することにより、発光素子を外部から完全に遮断することができ、外部から水分や酸素等の発光層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い発光装置が得られる。また、前記発光装置は、画素部において、開口率を低下することなく、また、配線遅延等の問題が生じることがないので、大面積化にも十分対応でき得るものとなっている。

【0170】なお、本実施例は実施例 1 乃至 5 のいずれか一と自由に組み合わせることが可能である。

【0171】[実施例 9] 本実施例では、実施例 8 とは異なる画素構造を有した発光装置について説明する。説明には図 16 を用いる。本実施例では本発明の記載がないが、本発明を適用して形成される配線を有する TFT を用いて作製するので、本発明を適用していると言える。

【0172】図 16 では電流制御用 TFT 4501 として図 10 の p チャネル型 TFT 502 と同一構造の TFT を用い、スイッチング用 TFT 4402 として図 10 の画素 TFT 504 と同一構造の TFT を用いる。勿論、電流制御用 TFT 4501 のゲート電極はスイッチング用 TFT 4402 のドレイン配線に電氣的に接続されている。また、電流制御用 TFT のドレイン配線は画素電極 4504 に電氣的に接続されている。

【0173】本実施例では、導電膜からなる画素電極 4504 が発光素子の陰極として機能する。具体的には、アルミニウムとリチウムとの合金膜を用いるが、周期表の 1 族もしくは 2 族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0174】画素電極4504の上には発光層4505が形成される。なお、図16では一画素しか図示していないが、本実施例ではG(緑)に対応した発光層を蒸着法及び塗布法(好ましくはスピンコーティング法)により形成している。具体的には、電子注入層として20nm厚のフッ化リチウム(LiF)膜を設け、その上に発光層として70nm厚のPPV(ポリパラフェニレンビニレン)膜を設けた積層構造としている。

【0175】次に、発光層4505の上には透明導電膜からなる陽極4506が設けられる。本実施例の場合、透明導電膜として酸化インジウムと酸化スズとの化合物もしくは酸化インジウムと酸化亜鉛との化合物からなる導電膜を用いる。

【0176】この陽極4506まで形成された時点で発光素子4507が完成する。なお、ここでいう発光素子4507は、画素電極(陰極)4504、発光層4505及び陽極4506で形成されたダイオードを指す。

【0177】発光素子4507を完全に覆うようにしてパッシベーション膜4508を設けることは有効である。パッシベーション膜4508としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0178】さらに、パッシベーション膜4508上に封止材4509を設け、カバー材4510を貼り合わせる。封止材4509としては紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、本実施例においてカバー材4510はガラス基板や石英基板やプラスチック基板(プラスチックフィルムも含む)の両面に炭素膜(好ましくはダイヤモンドライクカーボン膜)を形成したものをを用いる。

【0179】このようにして作製された発光装置の配線は低抵抗化が実現できており、また、画素部において、開口率を低下することなく、配線遅延等の問題が生じることがないので、大面積化にも十分対応でき得るものとなっている。

【0180】なお、本実施例は実施例1乃至5のいずれか一と自由に組み合わせることが可能である。

【0181】[実施例10] 本実施例では、実施例5で作製したアクティブマトリクス基板とはTFT構造が異なる例を挙げ、本発明を用いて液晶表示装置を作製した例について説明する。本実施例では本発明の記載がないが、本発明を適用して形成される配線を有するTFTを用いて作製するので、本発明を適用していると言える。

【0182】図18(A)に示すアクティブマトリクス基板は、nチャネル型TFT503とpチャネル型TFT502を有する駆動回路506と、画素TFT504と保持容量505を有する画素部507とが形成されている。

【0183】これらのTFTは基板510にゲート配線512~517を形成したのち、前記ゲート配線上に絶縁膜511を形成し、前記絶縁膜上の半導体層にチャネル形成領域やソース領域、ドレイン領域及びLDD領域などを設けて形成する。半導体層は実施例1~実施例5と同様に本発明を用いて形成する。

【0184】ゲート配線512~517は、その厚さを200~400nm、好ましくは250nmの厚さで形成し、その上層に形成する被膜の被覆性(ステップカバレッジ)を向上させるために、端部をテーパ形状となるように形成する。テーパ部の角度は5~30度、好ましくは15~25度で形成する。テーパ部はドライエッチング法で形成され、エッチングガスと基板側に印加するバイアス電圧により、その角度を制御する。

【0185】また、不純物領域は、第1乃至第3のドーピング工程によって形成する。まず、第1のドーピング工程を行って、nチャネル型TFTのLDD(Lightly Doped Drain)領域を形成する。ドーピングの方法はイオンドーブ法若しくはイオン注入法で行えば良い。n型を付与する不純物元素(ドナー)としてリン(P)を添加し、マスクにより第1の不純物領域が形成される。そして、新たにnチャネル型TFTのLDD領域を覆うマスクを形成して、第2のドーピング工程はnチャネル型TFTのソース領域及びドレイン領域を形成して行う。

【0186】第3のドーピング処理により、pチャネル型TFTのソース領域及びドレイン領域を形成する。ドーピングの方法はイオンドーブ法やイオン注入法でp型を付与する不純物元素(アクセプタ)を添加すればよい。このとき、nチャネル型TFTを形成する半導体層にはマスクを形成するため、p型を付与する不純物元素が添加されない。本実施例では、pチャネル型TFTにおいてLDD領域を作製していないが、もちろん、作製してもよい。

【0187】このようにして、nチャネル型TFT503にはチャネル形成領域529の外側にLDD領域530、ソース領域またはドレイン領域531が形成される。pチャネル型TFT502も同様な構成とし、チャネル形成領域527、ソース領域またはドレイン領域528から成っている。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0188】画素部507において、nチャネル型TFTで形成される画素TFT504はオフ電流の低減を目的としてマルチゲート構造で形成され、チャネル形成領域532の外側にLDD領域533、ソース領域またはドレイン領域534が設けられている。

【0189】層間絶縁膜は酸化珪素、窒化珪素、または酸化窒化珪素などの無機材料から成り、50~500nmの厚さの第1の層間絶縁膜540と、ポリイミド、アクリル、ポリイミドアミド、BCB(ベンゾシクロブテ

ン)などの有機絶縁物材料から成る第2の層間絶縁膜541とで形成する。このように、第2の層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができる。しかし、吸湿性があり保護膜としては適さないので、第1の層間絶縁膜540と組み合わせて形成することが好ましい。

【0190】その後、所定のパターンレジストマスクを形成し、それぞれの半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。コンタクトホールの形成はドライエッチング法により行う。この場合、エッチングガスに $CF_4$ 、 $O_2$ 、 $He$ の混合ガスを用い有機樹脂材料から成る第2の層間絶縁膜541をまずエッチングし、その後、続いてエッチングガスを $CF_4$ 、 $O_2$ として第1の層間絶縁膜540をエッチングする。

【0191】そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、レジストマスクパターンを形成し、エッチングによって配線543~549を形成する。このようにして、アクティブマトリクス基板を形成することができる。

【0192】図18(A)のアクティブマトリクス基板を用いて、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図18(B)はアクティブマトリクス基板と対向基板554とをシール材558で貼り合わせた状態を示している。最初に、図18(A)の状態のアクティブマトリクス基板上に柱状のスペーサ551、552を形成する。画素部に設けるスペーサ551は画素電極上のコンタクト部に重ねて設ける。スペーサは用いる液晶材料にも依存するが、3~10 $\mu m$ の高さとする。コンタクト部では、コンタクトホールに対応した凹部が形成されるので、この部分に合わせてスペーサを形成することにより液晶の配向の乱れを防ぐことができる。その後、配向膜553を形成しラビング処理を行う。対向基板554には透明導電膜555、配向膜556を形成する。その後、アクティブマトリクス基板と対向基板とを貼り合わせ液晶557を注入する。

【0193】以上のようにして作製されるアクティブマトリクス型の液晶表示装置は各種電子装置の表示装置として用いることができる。前記液晶表示パネルは、画素部において、開口率を低下することなく、また、配線遅延等の問題が生じることがないので、大面積化にも十分対応でき得るものとなっている。

【0194】なお、本実施例は実施例1乃至5のいずれか一と自由に組み合わせることが可能である。

【0195】〔実施例11〕本実施例では、実施例10で示したアクティブマトリクス基板を用いて、発光装置を作製した例について説明する。本実施例では本発明の記載がないが、実施例10で作製されるアクティブマト

リクス基板を用いているため、本発明を適用していると言える。

【0196】図19では電流制御用TFT4501として図16のnチャネル型TFT503と同一構造のTFTを用いる。勿論、電流制御用TFT4501のゲート電極はスイッチング用TFT4402のドレイン配線に電氣的に接続されている。また、電流制御用TFT4501のドレイン配線は画素電極4504に電氣的に接続されている。

【0197】本実施例では、導電膜からなる画素電極4504が発光素子の陰極として機能する。具体的には、アルミニウムとリチウムとの合金膜を用いるが、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0198】画素電極4504の上には発光層4505が形成される。なお、図19では一画素しか図示していないが、本実施例ではG(緑)に対応した発光層を蒸着法及び塗布法(好ましくはスピコーティング法)により形成している。具体的には、電子注入層として20nm厚のフッ化リチウム(LiF)膜を設け、その上に発光層として70nm厚のPPV(ポリパラフェニレンビニレン)膜を設けた積層構造としている。

【0199】次に、発光層4505の上には透明導電膜からなる陽極4506が設けられる。本実施例の場合、透明導電膜として酸化インジウムと酸化スズとの化合物もしくは酸化インジウムと酸化亜鉛との化合物からなる導電膜を用いる。

【0200】この陽極4506まで形成された時点で発光素子4507が完成する。なお、ここでいう発光素子4507は、画素電極(陰極)4504、発光層4505及び陽極4506で形成されたダイオードを指す。

【0201】発光素子4507を完全に覆うようにしてパッシベーション膜4508を設けることは有効である。パッシベーション膜4508としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0202】さらに、パッシベーション膜4508上に封止材4509を設け、カバー材4510を貼り合わせる。封止材4509としては紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、本実施例においてカバー材4510はガラス基板や石英基板やプラスチック基板(プラスチックフィルムも含む)の両面に炭素膜(好ましくはダイヤモンドライクカーボン膜)を形成したものをを用いる。

【0203】このようにして作製された発光装置は、画素部において、開口率を低下することなく、また、配線遅延等の問題が生じることがないので、大面積化にも十分対応でき得るものとなっている。

【0204】なお、本実施例は実施例1乃至5のいずれか一と自由に組み合わせることが可能である。

【0205】〔実施例12〕本発明を適用して、本発明を実施して形成された配線基板は様々な電気光学装置（アクティブマトリクス型液晶表示装置、アクティブマトリクス型EC表示装置、アクティブマトリクス型発光装置）に用いることが出来る。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本発明を実施出来る。

【0206】その様な電子機器としては、パーソナルコンピュータ、ディスプレイなどが挙げられる。それらの例を図20に示す。

【0207】図20（A）はパーソナルコンピュータであり、本体3001、画像入力部3002、表示部3003、キーボード3004等を含む。本発明を表示部3003に適用することができる。本発明を適用すれば、表示部3003の面積化に対応でき得る。

【0208】図20（B）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレイヤーであり、本体3401、表示部3402、スピーカ部3403、記録媒体3404、操作スイッチ3405等を含む。なお、このプレイヤーは記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部3402に適用することができる。本発明を適用すれば、表示部3402の面積化に対応でき得る。

【0209】図20（C）はディスプレイであり、本体4101、支持台4102、表示部4103等を含む。本発明は表示部4103に適用することができる。本発明のディスプレイは特に大画面化した場合において十分対応でき得る構成となっている。特に対角10インチ以上（特に30インチ以上）のディスプレイには有利である。

【0210】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～11のどのような組み合わせからなる構成を用いても実現することができる。

【0211】

【発明の効果】本発明の構成を採用することにより、以下に示すような有益性を得ることが出来る。

（a）従来の配線または配線基板の作製プロセスに適合した、簡単な方法である。

（b）配線の低抵抗化を実現できる。そのため、設計の自由度および画素部における開口率の向上が可能となる。

る。

（c）カバレッジを良好なものとすることができる。

（d）以上の利点を満たした上で、アクティブマトリクス型の液晶表示装置に代表される半導体装置において、画素部の面積が大きくなり大画面化しても十分に対応することが可能となり、該半導体装置の動作特性および信頼性を向上させることを可能とする。

【図面の簡単な説明】

【図1】 本発明の概念の例を示す図。

【図2】 本発明を適用して作製した配線の形状の例を示す図。

【図3】 本発明を適用して作製した配線の形状の模式図を示す図。

【図4】 本発明を適用して作製した配線の形状の例を示す図。

【図5】 本発明を適用して作製した配線の形状の例を示す図。

【図6】 本発明を適用して作製した配線の形状の例を示す図。

【図7】 本発明の概念の例を示す図。

【図8】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図9】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図10】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図11】 画素TFTの構成を示す上面図。

【図12】 アクティブマトリクス型液晶表示装置の作製工程を示す断面図。

【図13】 アクティブマトリクス型液晶表示装置の作製工程を示す断面図。

【図14】 発光装置の駆動回路及び画素部の断面構造図。

【図15】 （A）発光装置の上面図。（B）発光装置の駆動回路及び画素部の断面構造図。

【図16】 発光装置の駆動回路及び画素部の断面構造図。

【図17】 本発明の概念の例を示す図。

【図18】 アクティブマトリクス型液晶表示装置の作製工程を示す断面図。

【図19】 発光装置の画素部の断面構造図。

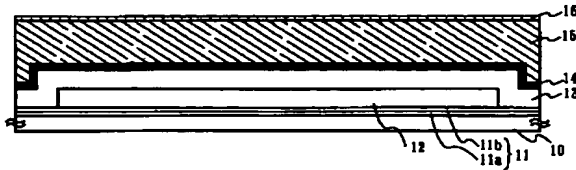
【図20】 半導体装置の例を示す図。

【図21】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

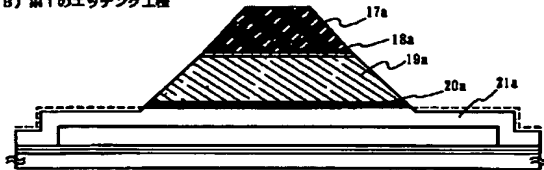
【図22】 第1のエッチング条件により形成される導電層の形状の例を示す図。

【図 1】

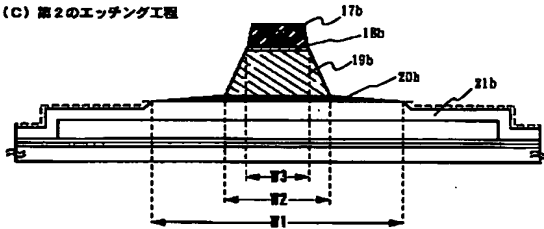
(A) 半導体層の形成/絶縁膜の形成/第1の導電膜と第2の導電膜と第3の導電膜の形成



(B) 第1のエッチング工程



(C) 第2のエッチング工程



【図 7】

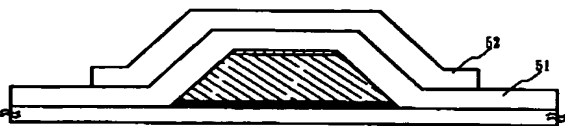
(A) 第1の導電膜と第2の導電膜と第3の導電膜の形成



(B) エッチング工程

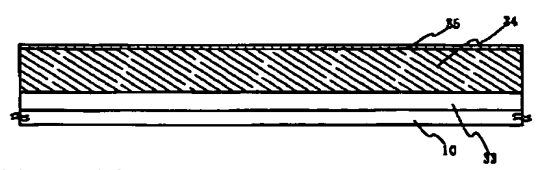


(C) 絶縁膜の形成/半導体層の形成

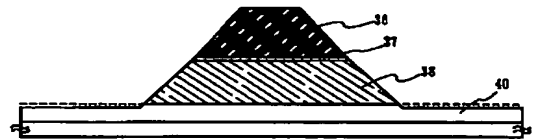


【図 3】

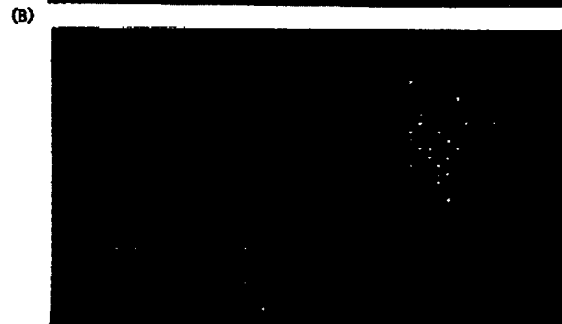
(A) 絶縁膜の形成/第1の導電膜と第2の導電膜の形成



(B) エッチング工程

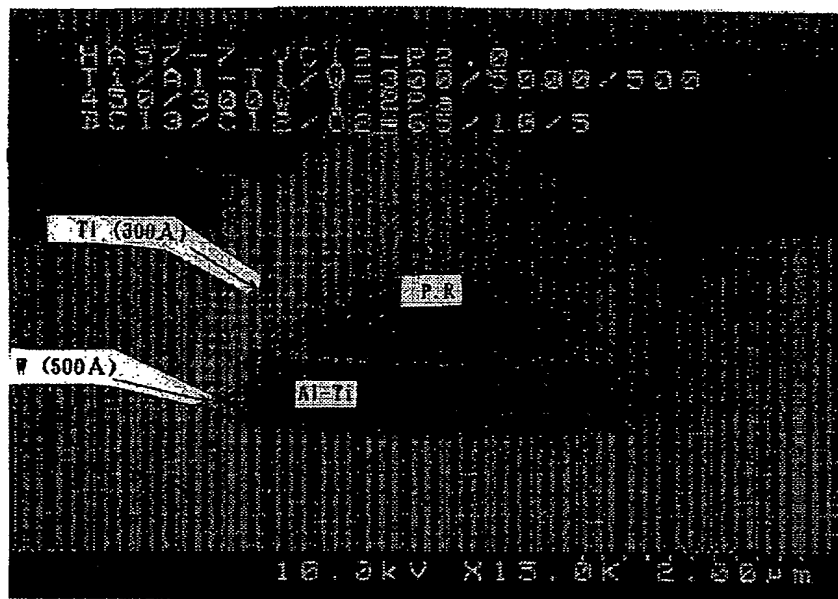


【図 5】

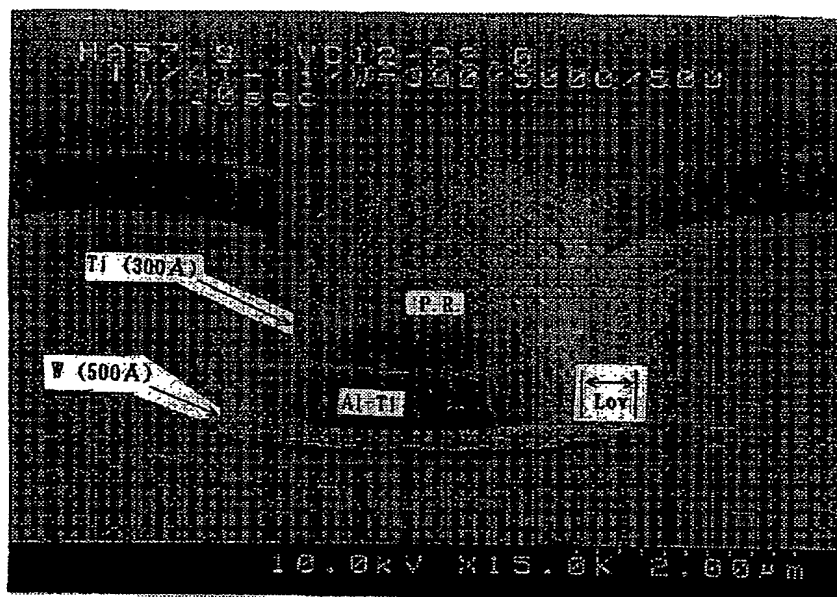


【図 2】

(A)

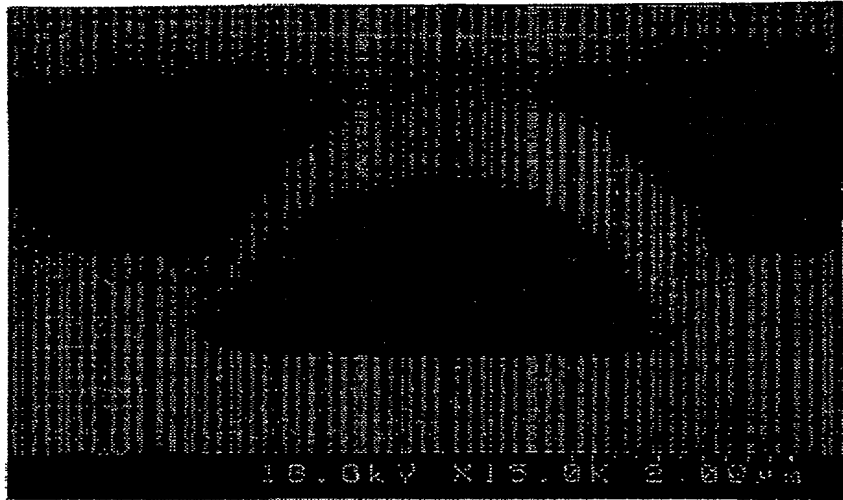


(B)

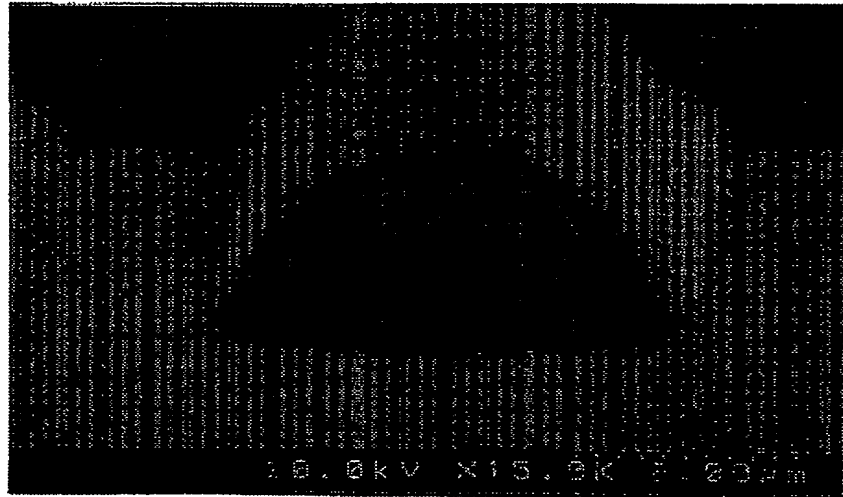


【図 4】

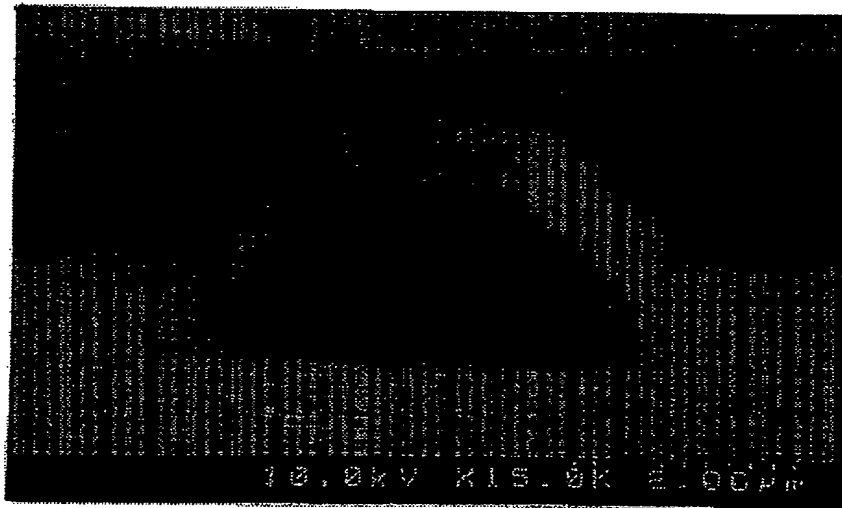
(A)



(B)

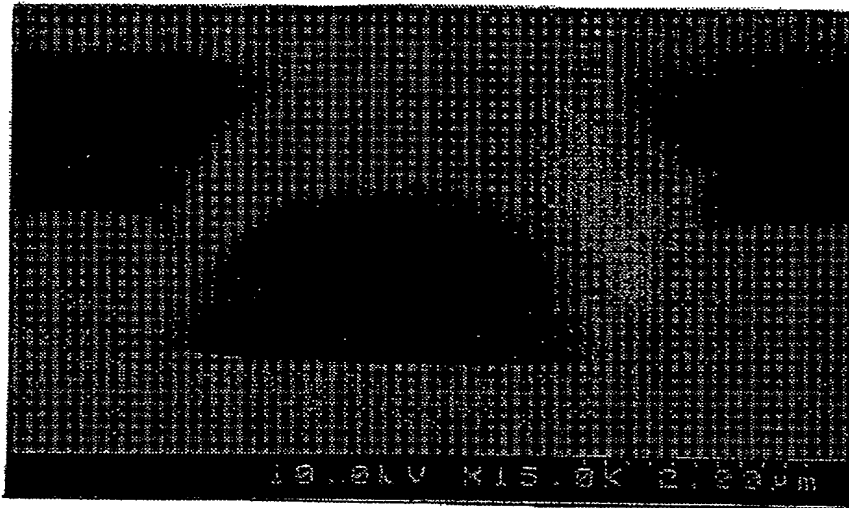


(C)

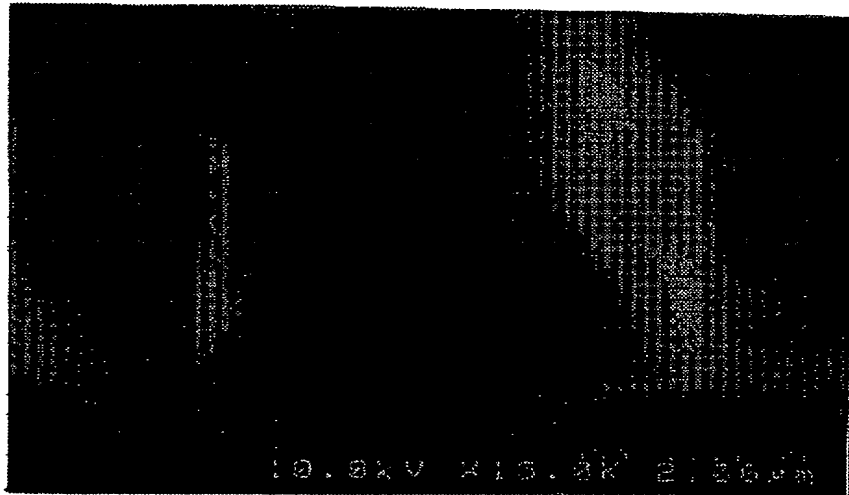


【図6】

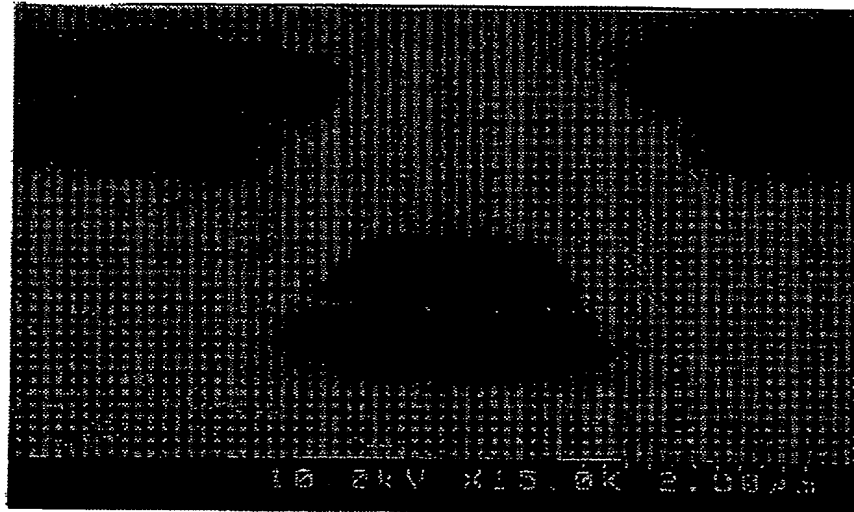
(A)



(B)

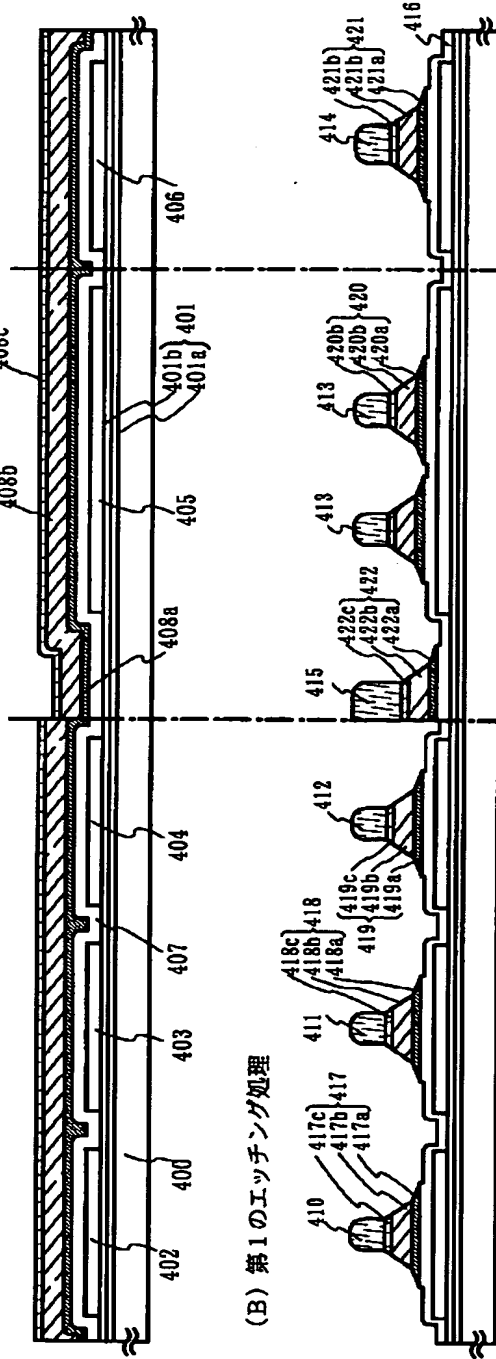


(C)



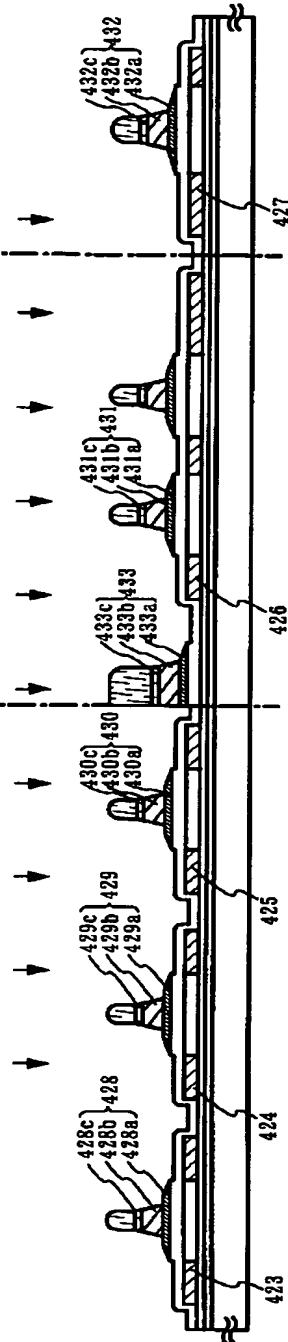
【図8】

(A) 下地絶縁膜の形成／半導体層の形成／絶縁膜の形成／第1の導電膜および第2の導電膜の形成

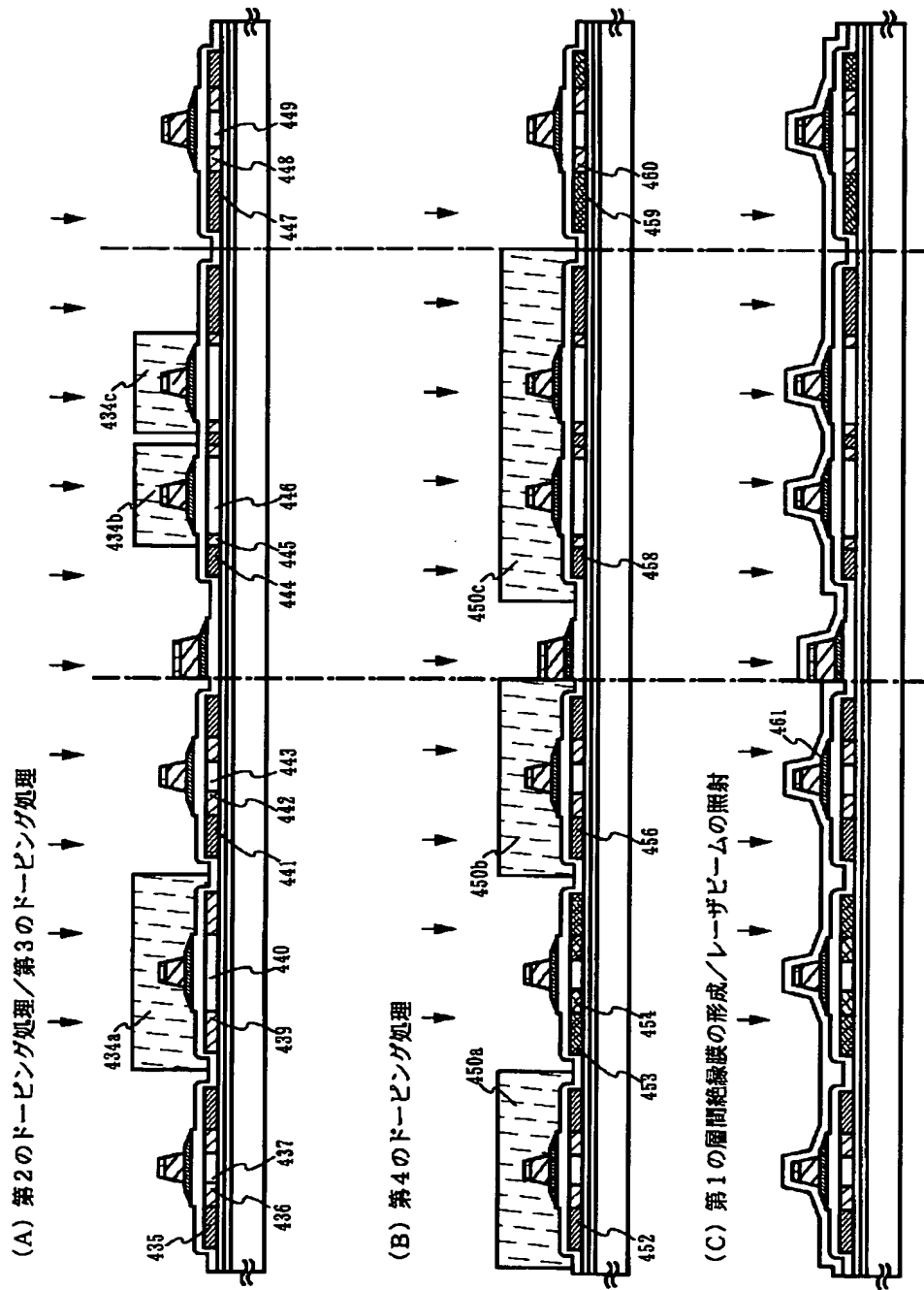


(B) 第1のエッチング処理

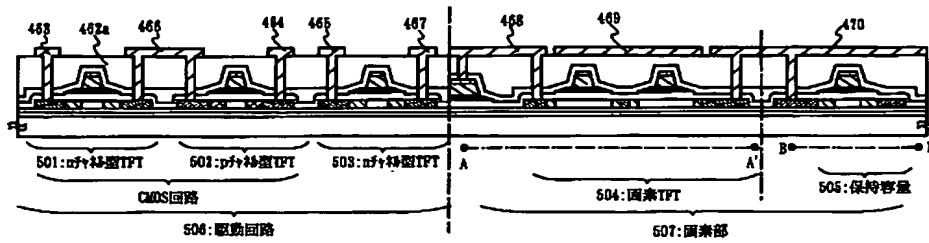
(C) 第2のエッチング処理／第1のドーピング処理



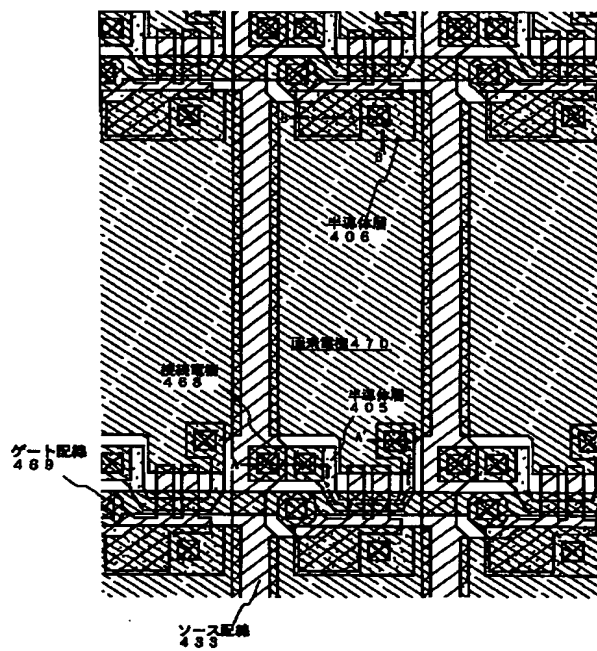
【図9】



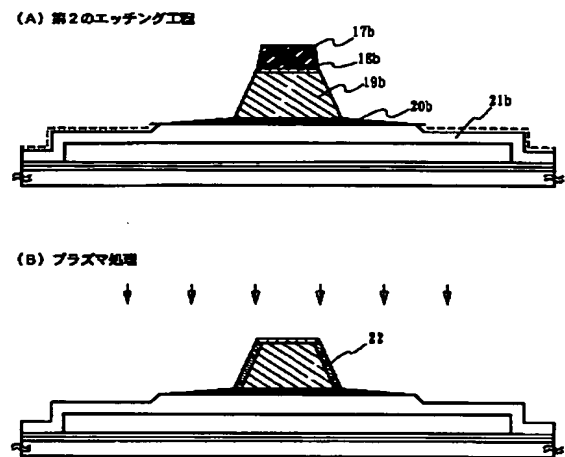
【図 10】



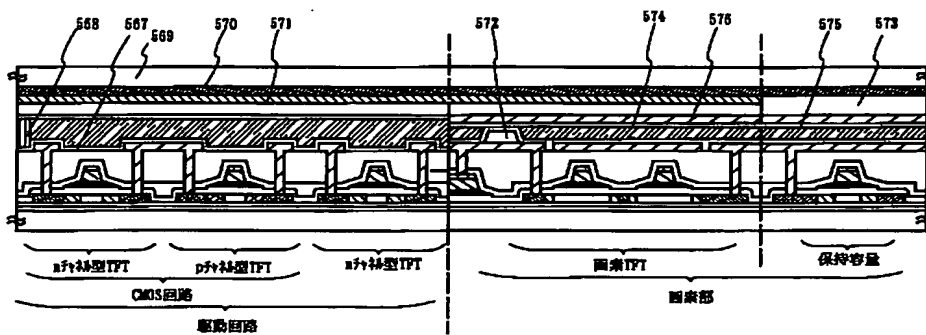
【図 11】



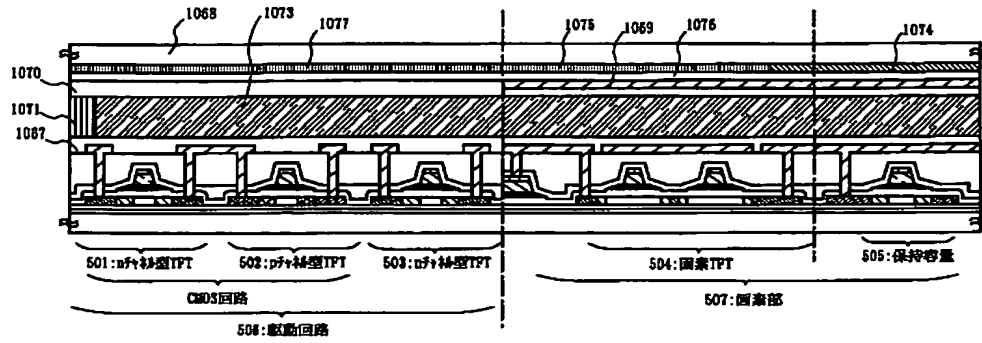
【図 17】



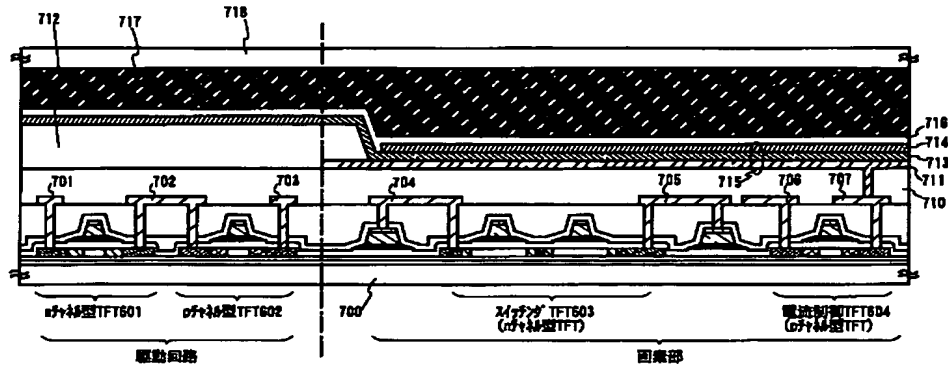
【図 12】



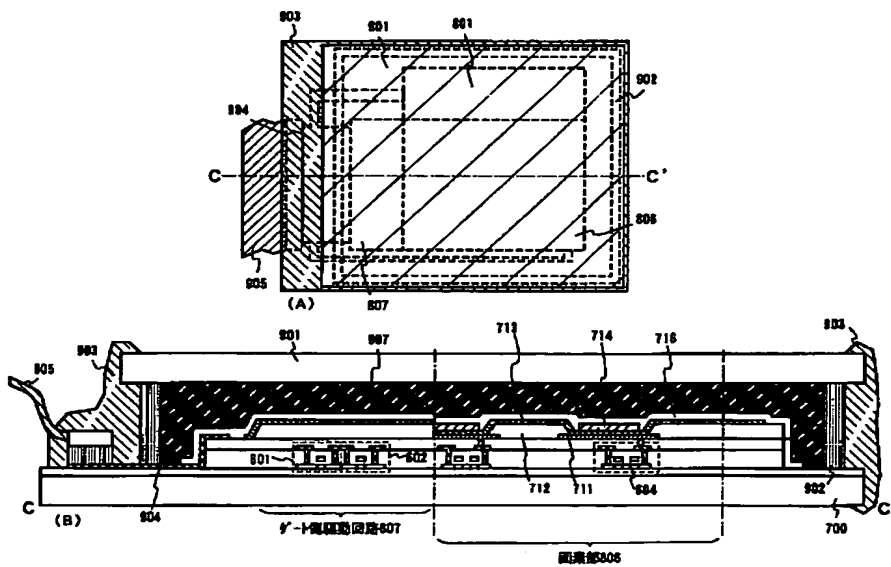
【図 13】



【図 14】



【図 15】



↑放射方向



【图 2 2】

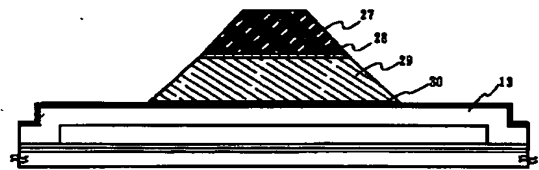
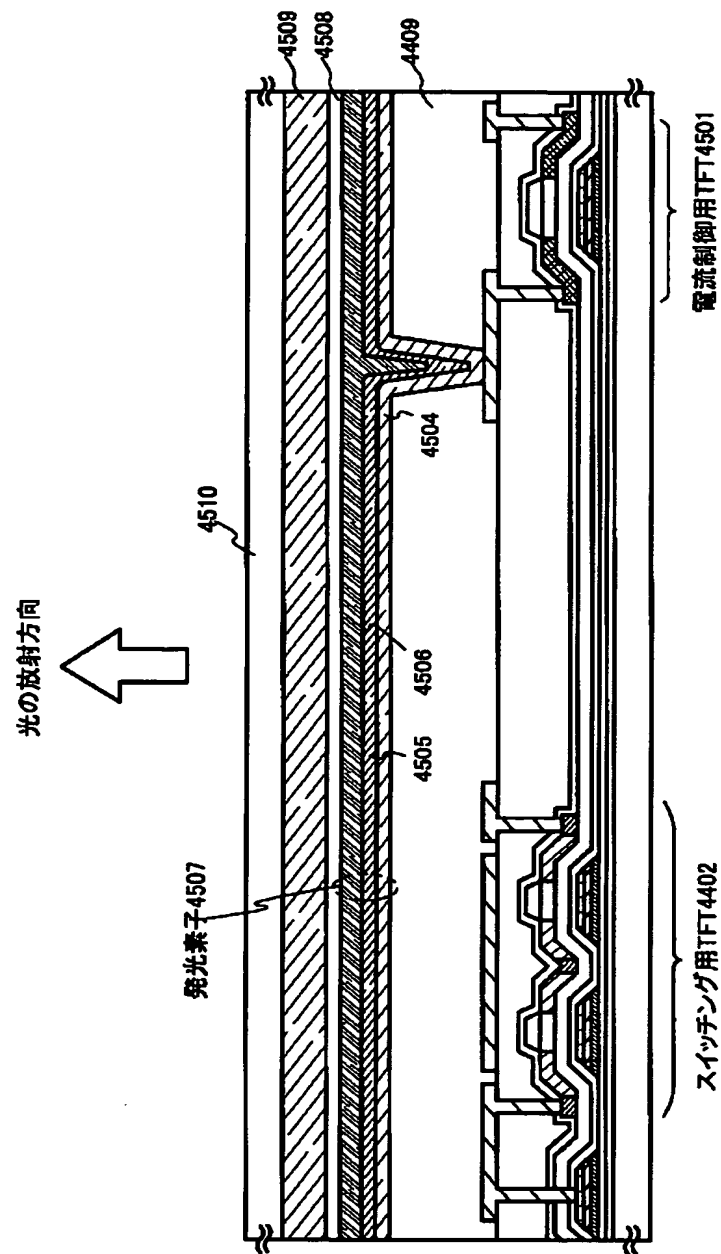


Figure 1 consists of two cross-sectional views, (A) and (B), of a liquid crystal display device. View (A) is a detailed cross-section showing multiple layers and components. It includes a driving circuit (501) at the bottom, followed by a p+ type TFT (502) and an n+ type TFT (503). Above these are pixel TFTs (504) and retention capacitors (505). The top layer is the pixel section (507). Various components are labeled with reference numerals: 544, 541, 540, 543, 545, 546, 547, 548, 549, 510, 511a, 511b, 511c, 512a, 512b, 512c, 513a, 513b, 513c, 514a, 514b, 514c, 515a, 515b, 515c, 516a, 516b, 516c, 517a, 517b, 517c, 518a, 518b, 518c, 519a, 519b, 519c, 520a, 520b, 520c, 521a, 521b, 521c, 522a, 522b, 522c, 523a, 523b, 523c, 524a, 524b, 524c, 525a, 525b, 525c, 526a, 526b, 526c, 527a, 527b, 527c, 528a, 528b, 528c, 529a, 529b, 529c, 530a, 530b, 530c, 531a, 531b, 531c, 532a, 532b, 532c, 533a, 533b, 533c, 534a, 534b, 534c, 535a, 535b, 535c, 536a, 536b, 536c, 537a, 537b, 537c, 538a, 538b, 538c, 539a, 539b, 539c, 540a, 540b, 540c, 541a, 541b, 541c, 542a, 542b, 542c, 543a, 543b, 543c, 544a, 544b, 544c, 545a, 545b, 545c, 546a, 546b, 546c, 547a, 547b, 547c, 548a, 548b, 548c, 549a, 549b, 549c. View (B) is a simplified cross-section of the same device, showing the same layers and components but with fewer details. It includes a driving circuit (506) at the bottom, followed by a p+ type TFT (502) and an n+ type TFT (503). Above these are pixel TFTs (504) and retention capacitors (505). The top layer is the pixel section (507). Various components are labeled with reference numerals: 550, 551, 552, 553, 554, 555, 556, 557, 558, 559, 560, 561, 562, 563, 564, 565, 566, 567, 568, 569, 570, 571, 572, 573, 574, 575, 576, 577, 578, 579, 580, 581, 582, 583, 584, 585, 586, 587, 588, 589, 590, 591, 592, 593, 594, 595, 596, 597, 598, 599, 600, 601, 602, 603, 604, 605, 606, 607, 608, 609, 610, 611, 612, 613, 614, 615, 616, 617, 618, 619, 620, 621, 622, 623, 624, 625, 626, 627, 628, 629, 630, 631, 632, 633, 634, 635, 636, 637, 638, 639, 640, 641, 642, 643, 644, 645, 646, 647, 648, 649, 650, 651, 652, 653, 654, 655, 656, 657, 658, 659, 660, 661, 662, 663, 664, 665, 666, 667, 668, 669, 670, 671, 672, 673, 674, 675, 676, 677, 678, 679, 680, 681, 682, 683, 684, 685, 686, 687, 688, 689, 690, 691, 692, 693, 694, 695, 696, 697, 698, 699, 700, 701, 702, 703, 704, 705, 706, 707, 708, 709, 710, 711, 712, 713, 714, 715, 716, 717, 718, 719, 720, 721, 722, 723, 724, 725, 726, 727, 728, 729, 730, 731, 732, 733, 734, 735, 736, 737, 738, 739, 740, 741, 742, 743, 744, 745, 746, 747, 748, 749, 750, 751, 752, 753, 754, 755, 756, 757, 758, 759, 760, 761, 762, 763, 764, 765, 766, 767, 768, 769, 770, 771, 772, 773, 774, 775, 776, 777, 778, 779, 780, 781, 782, 783, 784, 785, 786, 787, 788, 789, 790, 791, 792, 793, 794, 795, 796, 797, 798, 799, 800, 801, 802, 803, 804, 805, 806, 807, 808, 809, 810, 811, 812, 813, 814, 815, 816, 817, 818, 819, 820, 821, 822, 823, 824, 825, 826, 827, 828, 829, 830, 831, 832, 833, 834, 835, 836, 837, 838, 839, 840, 841, 842, 843, 844, 845, 846, 847, 848, 849, 850, 851, 852, 853, 854, 855, 856, 857, 858, 859, 860, 861, 862, 863, 864, 865, 866, 867, 868, 869, 870, 871, 872, 873, 874, 875, 876, 877, 878, 879, 880, 881, 882, 883, 884, 885, 886, 887, 888, 889, 890, 891, 892, 893, 894, 895, 896, 897, 898, 899, 900, 901, 902, 903, 904, 905, 906, 907, 908, 909, 910, 911, 912, 913, 914, 915, 916, 917, 918, 919, 920, 921, 922, 923, 924, 925, 926, 927, 928, 929, 930, 931, 932, 933, 934, 935, 936, 937, 938, 939, 940, 941, 942, 943, 944, 945, 946, 947, 948, 949, 950, 951, 952, 953, 954, 955, 956, 957, 958, 959, 960, 961, 962, 963, 964, 965, 966, 967, 968, 969, 970, 971, 972, 973, 974, 975, 976, 977, 978, 979, 980, 981, 982, 983, 984, 985, 986, 987, 988, 989, 990, 991, 992, 993, 994, 995, 996, 997, 998, 999, 1000.

(72)発明者 楠山 義弘  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

【図 19】



フロントページの続き

(51) Int. Cl.<sup>7</sup>  
H01L 29/786

識別記号

FI  
H01L 29/78

テームコード (参考)

617K  
617L  
617J